

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

PUB. NO.: 10-106269 [JP 10106269 A]

PUBLISHED: April 24, 1998 (19980424)

INVENTOR(s): OSADA KENICHI

HIGUCHI HISAYUKI

ISHIBASHI KOICHIRO

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 09-016223 [JP 9716223]

FILED: January 30, 1997 (19970130)

INTL CLASS: [6] G11C-011/413; G06F-012/08; G11C-011/401; H01L-021/8244;  
H01L-027/11

JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 42.2  
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS); R131 (INFORMATION PROCESSING -- Microcomputers &  
Microprocessors)

#### ABSTRACT

PROBLEM TO BE SOLVED: To realize continuous read and write operations at a high speed in one cycle, by charging and discharging bit lines for the read and write operations of a semiconductor memory in parallel.

SOLUTION: A global bit line for writing of data is connected to a local bit line via N-type MOS transistors MN5, MN6 of a Y switch and to a write amplifier circuit 102. The write amplifier 102 has inverter circuits INV1, 2, and a decoder and word driver 101 selects one word line of any one bank. A Y switch control circuit 106 controls the Y switch, i.e., controls to connect the local bit line and a read global bit line of any one bank through a Y switch YSWi at the read time, and connect the local bit line and the write global bit line through the Y switch YSWi at the write time. The charging and discharging operations can be conducted in parallel continuously at a high speed.

特開平10-106269

(43) 公開日 平成10年(1998) 4月24日

(51) Int.Cl.<sup>6</sup> 識別記号

G 1 1 C 11/413

G 0 6 F 12/08

G 1 1 C 11/401

H 0 1 L 21/8244

27/11

3 1 0

F I

G 1 1 C 11/34

G 0 6 F 12/08

G 1 1 C 11/34

H 0 1 L 27/10

3 0 1 A

3 1 0 Z

3 7 1 Z

3 8 1

審査請求 未請求 請求項の数24 O L (全 27 頁)

(21) 出願番号 特願平9-16223

(22) 出願日 平成9年(1997) 1月30日

(31) 優先権主張番号 特願平8-206869

(32) 優先日 平8(1996) 8月6日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 長田 健一

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 樋口 久幸

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 石橋 孝一郎

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

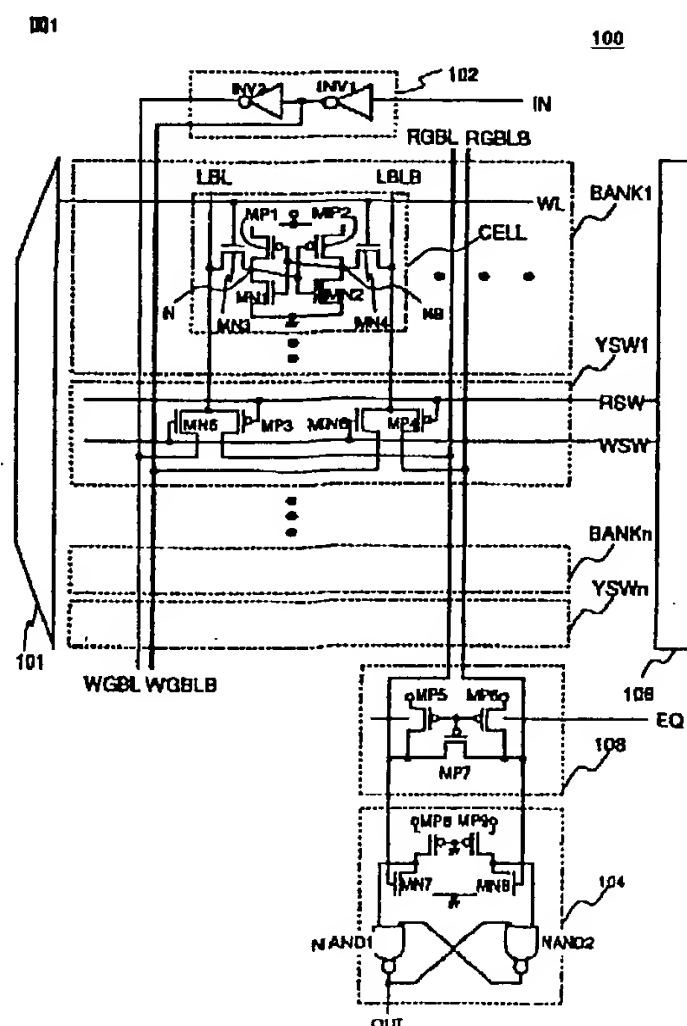
(54) 【発明の名称】 半導体記憶装置、半導体装置、データ処理装置及びコンピュータシステム

(57) 【要約】

【課題】 メモリセル又はメモリセルアレイの面積の増大を抑えて、キャッシュメモリの高速なストア処理を実現することである。

【解決手段】 メモリアレイ (BANK1) と、センスアンプ (104) に接続される第1のグローバルビット線 (RGLB) と、ライトアンプ (102) に接続される第2のグローバルビット線 (WGLB) と、前記複数のビット線 (LBL) を前記第1のグローバルビット線 (RGLB) 及び第2のグローバルビット線 (WGLB) に選択的に接続する選択回路 (YSW1) とを具備する。

【効果】 読み出しと書き込みのためのビット線の充放電を並列に行うことができるため、読み出しと書き込みの連続動作を高速化でき、1サイクルで終わることが可能となり、1サイクルストアが実現できる。



【特許請求の範囲】

【請求項1】複数のワード線と、複数のビット線と、前記複数のワード線と複数のビット線との交点に配置される複数のメモリセルを有するメモリアレイと、センスアンプに接続される第1のグローバルビット線と、ライトアンプに接続される第2のグローバルビット線と、前記複数のビット線対を前記第1及び第2のグローバルビット線に選択的に接続する選択回路とを具備してなり、前記第1及び第2のグローバルビット線は前記メモリアレイ上に配置され、前記メモリアレイからデータを読み出す場合は、前記複数のビット線は前記第1のグローバルビット線に電氣的に接続され、前記センスアンプを介してデータが出力され、前記メモリアレイにデータを書き込む場合は、前記ライトアンプを介してデータが前記第2のグローバルビット線に入力され、前記複数のビット線は前記第2のグローバルビット線に電氣的に接続されることを特徴とする半導体記憶装置。

【請求項2】複数のワード線と、複数のビット線と、前記複数のワード線と複数のビット線との交点に配置される複数のメモリセルを有するメモリアレイと、前記メモリアレイ上に前記複数のビット線と並行に配置される第1及び第2のグローバルビット線と、前記複数のビット線を前記第1及び第2のグローバルビット線に選択的に接続する選択回路とを具備してなり、前記選択回路は、前記メモリアレイからデータを読み出す場合は、前記複数のビット線を前記第1のグローバルビット線に電氣的に接続し、前記メモリアレイにデータを書き込む場合には、前記複数のビット線を前記第2のグローバルビット線に電氣的に接続することを特徴とする半導体記憶装置。

【請求項3】第1の複数のワード線と、第1の複数のビット線と、前記第1の複数のワード線と第1の複数のビット線との交点に配置される複数のメモリセルとを有する第1のメモリアレイと、第2の複数のワード線と、第2の複数のビット線と、前記第2の複数のワード線と第2の複数のビット線との交点に配置される複数のメモリセルとを有する第2のメモリアレイと、前記第1及び第2のメモリアレイ上に前記第1及び第2の複数のビット線と並行に配置される第1及び第2のグローバルビット線と、前記第1の複数のビット線を前記第1及び第2のグローバルビット線に選択的に接続する第1の選択回路と、前記第2の複数のビット線を前記第1及び第2のグローバルビット線に選択的に接続する第2の選択回路とを具

備してなり、

前記第1又は第2の選択回路は、前記メモリセルからデータを読み出す場合は、前記第1又は第2の複数のビット線を前記第1のグローバルビット線に電氣的に接続し、前記メモリセルにデータを書き込む場合は、前記第1又は第2の複数のビット線を前記第2のグローバルビット線に電氣的に接続することを特徴とする半導体記憶装置。

【請求項4】請求項1から3に記載のうちの1つの半導体記憶装置において、前記第1のグローバルビット線上の前記データの読み出しサイクルと前記第2のグローバルビット線上の前記書き込みサイクルとが並行して行うことができるようにされる。

【請求項5】アレー状に配列されたメモリセルとローカルビット線とを有する複数のメモリマットと、前記複数のメモリマットを横断されるように形成される1対の第1のグローバルビット線および1対の第2のグローバルビット線と、前記メモリマットに隣接されて形成され、前記ローカルビット線を前記1対の第1のグローバルビット線及び1対の第2のグローバルビット線に選択的に接続する選択回路とを具備してなり、データの読み出し時には、前記ローカルビット線と前記第1のグローバルビット線とを電氣的に接続し、データの書き込み時には、前記ローカルビット線と前記第2のグローバルビット線とを電氣的に接続するようにされ、前記第1のグローバルビット線上の前記データの読み出しサイクルと前記第2のグローバルビット線上の前記書き込みサイクルとが並行して行うことができるようにされることを特徴とする半導体装置。

【請求項6】請求項5に記載される半導体装置において、同一アドレスへのデータの読み出しと書き込みを1サイクルで行う。

【請求項7】前記第1のグローバルビット線対及び第2のグローバルビット線対が前記ローカルビット線対4対に対してそれぞれ1対形成されることを特徴とする請求項5に記載の半導体装置。

【請求項8】前記ローカルビット線と、前記第1及び第2のグローバルビット線とはそれぞれ別の金属の層を用いて形成されることを特徴とする請求項5に記載の半導体装置。

【請求項9】請求項5に記載される半導体装置は、さらに、前記第1のグローバルビット線に接続されるセンスアンプと、前記センスアンプの出力が接続されるリカバリバッファとを具備し、ストア時にメモリセルの値をリカバリバッファに読み出した後、前記メモリセルにデータを書く。

【請求項10】請求項9に記載される半導体装置をキャッシュメモリとして用いる場合、ストア時にミスヒットである場合には、前記リカバリバッファの値を前記メモ

に書き戻す。

【請求項 1 1】中央処理装置と、ヒット信号の確定を待たずにデータアレイの書き込みを行うキャッシュメモリとを単一の半導体基板上に具備してなり、前記キャッシュメモリから前記中央処理装置へのロードと、前記中央処理装置から前記キャッシュメモリへのストアとの両方を前記中央処理装置の 1 マシンサイクルで行うことを特徴とするデータ処理装置。

【請求項 1 2】1 マシンサイクルが 20 nsec 以下の中央処理装置と、キャッシュメモリとを単一の半導体基板上に具備してなり、前記キャッシュメモリから前記中央処理装置へのロードと、前記中央処理装置から前記キャッシュメモリへのストアとの両方を前記中央処理装置の 1 マシンサイクルで行うことを特徴とするデータ処理装置。

【請求項 1 3】中央処理装置と、論理アドレスを物理アドレスに変換する変換バッファと、物理アドレスでアクセスされるキャッシュメモリとを単一の半導体基板上に具備してなり、前記キャッシュメモリから前記中央処理装置へのロードと、前記中央処理装置から前記キャッシュメモリへのストアとの両方を前記中央処理装置の 1 マシンサイクルで行うことを特徴とするデータ処理装置。

【請求項 1 4】中央処理装置と、1 次キャッシュメモリと、2 次キャッシュメモリ或いは主記憶装置とを具備してなり、

前記 1 次キャッシュメモリと、前記 2 次キャッシュメモリ或いは主記憶装置とのデータを入れ替える場合、前記 1 次キャッシュメモリの所定のアドレスのデータの読み出しと前記 1 次キャッシュメモリの前記所定のアドレスと同一のアドレスのデータの書き込みとを実質的に同一のサイクルで実行することを特徴とするコンピュータシステム。

【請求項 1 5】メモリセルとワード線によって選択的に前記メモリセルに接続されるビット線とを有するメモリアレイと、

前記ビット線を所定の電位にするプリチャージ回路と、書き込み回路とを具備し、

前記メモリセルから前記ビット線へのデータの読み出しと、前記書き込み回路から前記ビット線へのデータの書き込みとの間で前記プリチャージ回路でビット線をプリチャージしないようにされることを特徴とする半導体記憶装置。

【請求項 1 6】請求項 1 5 に記載の半導体記憶装置において、前記メモリセルから前記ビット線へのデータの読み出しの前に、前記プリチャージ回路は前記ビット線をプリチャージする。

【請求項 1 7】アレー状に配列されたメモリセルとローカルビット線とを有するメモリマットと、前記メモリマットを横断するように形成される複数対のグローバルビット線と、

前記メモリマットに隣接されて形成され、前記ローカルビット線を前記複数対のグローバルビット線にそれぞれ選択的に接続する選択回路と、

前記グローバルビット線に接続されるセンスアンプを具備してなり、

データの読み出し時には、前記ローカルビット線と前記複数対のグローバルビット線とを電氣的に接続することを特徴とする半導体装置。

【請求項 1 8】請求項 1 7 に記載される半導体装置において、2 つの異なるアドレスへのデータの読み出しを 1 サイクルで行う。

【請求項 1 9】請求項 1 から 4 又は 1 5 から 1 8 に記載のうちの 1 つの半導体記憶装置において、前記メモリセルは 6 つのトランジスタからなる SRAM セルである。

【請求項 2 0】請求項 5 から 1 0 に記載のうちの 1 つの半導体装置において、前記メモリセルは 6 つのトランジスタからなる SRAM セルである。

【請求項 2 1】読み出し動作を行うメモリサイクル時間と、読み出しと書き込みとの連続動作を行うメモリサイクル時間との両方を同一時間としてタイミングの仕様書に規定することができるようにされることを特徴とする半導体記憶装置。

【請求項 2 2】請求項 2 1 に記載の半導体記憶装置において、前記読み出しと書き込みとの連続動作は同一のアドレスに対して行うようにされる。

【請求項 2 3】請求項 2 1 に記載の半導体記憶装置において、前記読み出しと書き込みとの連続動作は異なるアドレスに対して行うようにされる。

【請求項 2 4】請求項 2 1 に記載の半導体記憶装置は、書き込み動作のみを行うメモリサイクルを有していない。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶装置にかわり、特にマイクロプロセッサやマイクロコンピュータ等のデータ処理装置に内蔵されるキャッシュメモリに適用して有効な技術に関する。

【0002】

【従来の技術】近年、マイクロプロセッサの動作周波数が増大するに伴い、キャッシュメモリの高速動作が要求されている。キャッシュメモリは、ビット線によって信号をメモリセルに伝えることによりデータを書き込み、メモリセルのデータをビット線を使ってアンプ回路に伝えることによりデータを読み出す。したがって、キャッシュメモリの高速動作を実現するためには、ビット線の容量を減らすことが重要である。ビット線の容量を低減したメモリとしては、例えば、メモリマットを分割して、ビット線を階層化した、アイ・エス・エス・シー・ダイジェストオブ テクニカル ペーパーズ 第 304 頁から第 305 頁(1995 年) (ISSCC Digest of

f Technical Papers, pp. 304-305, Feb., 1995.)の回路(以下、従来技術1という。)がある。

【0003】従来技術1のメモリは、6トランジスタのメモリセルがアレー状に配列されたメモリマツトを $n$ 等分し、 $n$ 個のブロックを形成し、ブロック内のビット線(BL、BLB)は、ブロックと対で構成されるセンスアンプ(S/A)・I/O回路を介して、バンクを横断するように形成されるI/Oバスに接続される。

【0004】データの読み出し時には、メモリセルから読み出したデータをビット線(BL、BLB)を用いてセンスアンプ(S/A)・I/O回路に伝え、データをI/Oバスに出力する。データの書き込みは、I/Oバスのデータをセンスアンプ(S/A)・I/O回路を用いて、ビット線(BL、BLB)に伝え、メモリセルにデータを書き込む。

【0005】

【発明が解決しようとする課題】しかしながら、従来技術1のメモリをキャッシュメモリのデータアレイとして使用した場合、キャッシュメモリへのストアを高速で処理することができない。その理由を以下に説明する。

【0006】ストアとは、データアレイがタグアレイから書き込み許可信号であるヒット信号を受けてからデータを書き込むという処理で、その処理時間は、「ヒット信号が確定するまでの時間」と「データを書き込む時間」の和となる。ここで、「ヒット信号が確定するまでの時間」は、タグアレイの読み出しの時間と、タグアレイから読み出したアドレスとタグアドレスとの比較との時間の和である。このためストア処理は、ヒット信号の確定を使用しない通常のメモリの読み出し動作であるリードおよび通常の書き込み動作であるライトに比べて遅くなってしまう。なお、キャッシュメモリからのロードの処理時間は、タグアレイのアクセスとデータアレイのアクセスが同時に実行可能であるため、通常のメモリの読み出し動作であるリードと同じにすることができる。すなわち、マイクロプロセッサの動作周波数が比較的低い(例えば、20~30MHz以下)場合は、1マシンサイクルが長いため、ストアは1サイクルで実現できるが、マイクロプロセッサの動作周波数が高くなってきた(例えば、50MHz以上(1マシンサイクル=20ns以下)とき、ストアは1サイクルで実現できなくなってくる。特に、キャッシュメモリが論理アドレスを物理アドレスに変換する変換バッファの出力アドレスでアクセスされる場合は、ヒット信号の確定が遅くなり、1サイクルストアの実現はいつそうきびしくなる。従って、高周波数動作のマイクロプロセッサに内蔵される従来のキャッシュメモリはストアを2サイクル、ロードを1サイクルで行っていた。従って、マイクロプロセッサがパイプライン処理方式を採用している場合、ストア時にはメモリアクセスステージが2サイクル必要になり、パイプラインが乱れてしまい、マイクロプロセッサの高

速性能向上の隘路となる。従って、パイプラインを乱さないようにするためにメモリアクセスステージを常に2サイクルとする、すなわちパイプラインの段数を増加させている。しかし、パイプラインの段数を増加させると消費電力が増加するという問題がある。

【0007】ストアの高速化には、ヒット信号確定までの時間が障害になっている。そこで、ストアを高速に処理する方法として、ヒット信号の確定を待たずに、データをデータアレイに書き込むという方法を本願発明者が検討した。この場合、書き込み終了後ヒット信号が確定した時点で、ヒット信号が書き込み許可を示す「ヒット」である場合は問題がない。しかし、ヒット信号が「ミスヒット」である場合、データアレイにデータを書き込む前の値に戻す必要がある。したがって、書き込む前に、書き込む位置にあるデータを予め読み出して保持しておく必要が生じる。

【0008】つまり、ストア処理高速化のために、ヒット信号を無視してストアを行う場合には、同一サイクル内にデータの読み出し、書き込みという2つの動作を連続して行うことが必要となる。もし、この読み出し、書き込みという連続動作を高速に行えなければ、ヒット信号を無視してもストアは高速化しない。

【0009】従来技術1のメモリで、同一アドレスにデータを読み出してから、書き込むというストアを行った場合に、ビット線の容量低減により動作は高速化するが、ビット線およびI/Oバスを使つての読み出し動作が完了した後に書き込み動作を行う必要があるため、通常の読み出し動作であるリードや通常の書き込み動作であるライトに比べて処理時間が長くなる。すなわち、読み出しに1サイクル、書き込みに1サイクルかかり、ストア処理としては2サイクル必要になる。

【0010】一方、特開平4-85789号公報(以下、従来技術2という。)には、読み出し用アドレス信号線、書き込み用アドレス信号線、読み出しデータ線及び書き込みデータ線に接続される、いわゆるデュアルポートメモリセルを用いて、書き込み側がプリチャージを行っている時、読み出し側がディスチャージを行い、書き込み側がディスチャージの時、読み出し側がプリチャージを行い、読み出しと書き込みとを見かけ上同時に実行できるメモリが開示されている。しかし、いわゆるデュアルポートメモリセルを使用しているため、メモリセル及びメモリセルアレイの面積が増大するという問題がある。さらに面積の増大に伴いビット線の容量等が増大し、メモリアクセス時間及びメモリサイクル時間が長くなってしまふという問題がある。

【0011】なお、特開平3-216892号公報(米国特許第5387827号)(以下、従来技術3という。)、特開平3-3195号公報(以下、従来技術4という。)及びIEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol. 23, No. 5 October 1988, pp. 1048-1053(以下、



従来技術5という。)には、共通読み出し線と共通書き込み線とがビット線とMOSトランジスタを介して接続されるメモリが開示されている。しかし、従来技術3、従来技術4、従来技術5のいずれも読み出しと書き込みとを並行して実行できない記載となっている。なお、従来技術3、従来技術4、従来技術5のいずれもBiCMOS(Bipolar CMOS(Complement Metal Oxide Semiconductor))のメモリに関するものである。但し、従来技術4には、BiCMOSの記載は直接ないが、従来技術5を従来技術として引用している。BiCMOS回路を使用すれば高速なメモリが実現できるが、CMOS回路のメモリよりも消費電力が大きくなる。

【0012】CMOS回路のみで高速なキャッシュメモリを実現することが重要である。1つの半導体装置に集積される回路の消費電力が1.5W以下であれば、レジスタモールド技術等で樹脂封止することができるようになり、大消費電力の半導体装置に使用されるセラミック封止に比べて半導体装置の価格を大幅に安くすることができる。

【0013】本発明の目的は、メモリセル又はメモリセルアレイの面積の増大を抑えて、キャッシュメモリの高速なストア処理を実現することである。

【0014】本発明の他の目的は、消費電力を抑えて、高速なキャッシュメモリを実現することである。

【0015】本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0017】半導体記憶装置は、複数のワード線(WL)と、複数のビット線(LBL)と、前記複数のワード線(WL)と複数のビット線(LBL)との交点に配置される複数のメモリセル(CELL)とを有するメモリアレイ(BANK1)と、センスアンプ(104)に接続される第1のグローバルビット線(RGBL)と、ライトアンプ(102)に接続される第2のグローバルビット線(WGBL)と、前記複数のビット線(LBL)を前記第1のグローバルビット線(RGBL)及び第2のグローバルビット線(WGBL)に選択的に接続する選択回路(YSW1)とを具備し、前記第1のグローバルビット線(RGBL)及び第2のグローバルビット線(WGBL)は前記メモリアレイ(BANK1)上に配置され、前記メモリアレイ(BANK1)からデータを読み出す場合は、前記複数のビット線(LBL)は前記第1のグローバルビット線(RGBL)に電氣的に接続され、前記センスアンプ(104)を介してデータが出力され、前記メモリセルアレイ(BANK1)にデータを書き込む場合は、前記ライトアンプ(102)を

介して、データが前記第2のグローバルビット線(WGBL)に入力され、前記複数のビット線(LBL)は前記第2のグローバルビット線(WGBL)に電氣的に接続される。

【0018】読み出しと書き込みを連続して行うストア時には、読み出し用グローバルビット線(RGBL)を用いてデータの読み出しを行うのと並行して、書き込み用グローバルビット線(WGBL)の充放電を行うようにされる。このため、読み出し動作終了後、書き込み動作に入ってから、容量の小さいローカルビット線(LBL)のみを充放電すれば、書き込みが終了することになり、高速に書き込みができる。

【0019】つまり、読み出しと書き込みのためのビット線の充放電を並行して行うことができるため、読み出しと書き込みの連続動作を高速化でき、1サイクルで終わることが可能となり、1サイクルストアが実現できる。

【0020】また、読み出しと書き込みの連続動作が高速に行えるので、読み出し動作のサイクル時間と読み出しと書き込みの連続動作のサイクル時間を同一としても読み出しサイクル時間が長くない。また、読み出し動作のサイクル時間と読み出しと書き込みの連続動作のサイクル時間と同じである方が、マイクロプロセッサ等のメモリをアクセスするデバイスとしては使用しやすい。従って、読み出し動作のサイクル時間と読み出しと書き込みの連続動作のサイクル時間とを同一とするメモリを提供できる。すなわち、メモリのタイミングの仕様書に読み出し動作のサイクル時間と読み出しと書き込みの連続動作のサイクル時間とを同一として規定することができる。

【0021】

【発明の実施の形態】以下、本発明に係る半導体記憶装置の好適ないくつかの実施例につき、図面を用いて説明する。

【0022】<実施例1>図1は、本発明に係る半導体記憶装置の一実施例を示す回路図である。半導体記憶装置100は、半導体集積回路製造技術を用いて単結晶シリコンのような1個の半導体基板に形成される。複数のメモリセルCELLがマトリックス状(行列状)に配置され、メモリアレイを構成する。メモリアレイは、n個のバンク(BANK1~BANKn)に分割される。

【0023】メモリセルCELLは、1対のCMOSインバータの入力と出力が互いに接続されて構成されるフリップ・フロップ(Pチャネル型MOSトランジスタMP1、MP2、Nチャネル型トランジスタMN1、MN2で構成される)と、前記フリップ・フロップのノードNとノードNBとをローカルビット線(LBL、LBLB)に選択的に接続するNチャネル型MOSトランジスタMN3、MN4とで構成される。Nチャネル型MOSトランジスタMN3、MN4のゲートには、ワード線W

Lが接続される。

【0024】バンク内のビット線である、ローカルビット線(LBL、LBLB)は、バンクに隣接されて形成されるYスイッチ(YSW1~YSWn)を介して、バンクを横断するようにローカルビット線(LBL、LBLB)と並行に形成されるグローバルビット線(RGBL、RGBLB、WGBL、WGBLB)に接続される。グローバルビット線は読み出し用ビット線(RGBL、RGBLB)と、書き込み用ビット線(WGBL、WGBLB)に分けられている。データ読み出し用のグローバルビット線(RGBL、RGBLB)は、Yスイッチ(YSW1~YSWn)のPチャネル型MOSトランジスタMP3、MP4を介してローカルビット線(LBL、LBLB)と接続され、またセンスアンプ・ラッチ回路104に接続される。Pチャネル型MOSトランジスタMP3、MP4のゲートには、信号線RSWが接続される。データの読み出し時にはローカルビット線

(LBL、LBLB)は、プリチャージ回路108で一度“HIGH”レベルにプリチャージされ、“HIGH”レベル付近で振幅するだけなので、Pチャネル型MOSトランジスタのみで、ローカルビット線(LBL、LBLB)の信号をデータ読み出し用のグローバルビット線(RGBL、RGBLB)に伝えることができる。

【0025】センスアンプ・ラッチ回路104には、Pチャネル型MOSトランジスタMP8、MP9とNチャネル型MOSトランジスタMN7、MN8からなる差動型センスアンプと、ナンド回路NAND1、NAND2からなるラッチ回路とから構成される。Nチャネル型MOSトランジスタMN7、MN8のゲートには、グローバルビット線(RGBL、RGBLB)が接続される。Pチャネル型MOSトランジスタMP8、MP9のゲートには、接地電位VSSが接続される。

【0026】データ書き込み用のグローバルビット線(WGBL、WGBLB)は、Yスイッチ(YSW1~YSWn)のNチャネル型MOSトランジスタMN5、MN6を介してローカルビット線(LBL、LBLB)と接続され、ライトアンプ回路102に接続される。Nチャネル型MOSトランジスタMN5、MN6のゲートには、信号線WSWが接続される。データの書き込み時には、データ書き込み用のグローバルビット線(WGBL、WGBLB)の“LOW”レベルの信号は、ローカルビット線(LBL、LBLB)に正確に伝える必要があるが、“HIGH”レベルの信号は多少レベルが下がって伝わっても問題ないので、Nチャネル型MOSトランジスタのみで、ローカルビット線(LBL、LBLB)とデータ書き込み用のグローバルビット線(WGBL、WGBLB)を接続すればよい。

【0027】ライトアンプ回路102は、インバータ回路INV1、INV2で構成される。また、デコーダおよびワードドライバ101はいずれか1つのバンクの1

つのワード線を選択する回路である。Yスイッチ制御回路106はYスイッチ(YSW1~YSWn)を制御する回路である。プリチャージ回路108は、グローバルビット線(RGBL、RGBLB)に接続され、Pチャネル型MOSトランジスタMP5、MP6、MP7で構成される。信号線EQはPチャネル型MOSトランジスタMP5、MP6、MP7のゲートに接続される。また、信号線INから書き込みデータが入力され、信号線OUTから読み出しデータが出力される。

【0028】次に本実施例の回路の動作を説明する。データの読み出し時には、いずれか1つのバンクのローカルビット線(LBL、LBLB)と読み出し用グローバルビット線(RGBL、RGBLB)をYスイッチYSWi(iは1~nのうちの1つ)を通して接続し、データの書き込み時には、ローカルビット線(LBL、LBLB)と書き込み用グローバルビット線(WGBL、WGBLB)をYスイッチYSWiを通して接続することによって行う。

【0029】センスアンプ・ラッチ回路104は図2に示すようなセンスアンプ・ラッチ回路105で置き換えることができる。すなわち、差動型のセンスアンプSA1、SA2、SA3を3段直列に接続する構成で高速化することも可能である。センスアンプSA1は、Pチャネル型MOSトランジスタMP11、MP12とNチャネル型MOSトランジスタMN11、MN12、MN13、MN14、MN15で構成され、グローバルビット線(RGBL、RGBLB)がセンスアンプSA1のNチャネルMOSトランジスタMN11、MN12のゲートに接続される。センスアンプSA2、SA3はセンスアンプSA1と同様な構成である。また、センスアンプ活性化信号SA\_ENを、グローバルビット線(RGBL、RGBLB)の値を増幅するときのみ“on” (“HIGH”レベル)にすると消費電力を低減できる。

センスアンプ・ラッチ回路105(以下、単に差動型センスアンプという。)は、センスアンプ・ラッチ回路104(以下、単にラッチ型センスアンプという。)のようにビット線オフセット電圧マージンを配慮することが必要ない。すなわち、製造ばらつきによる、ラッチ型センスアンプを構成するMOSトランジスタのしきい値電圧のばらつきに起因するビット線オフセット電圧マージンを配慮する必要がない。従って、センスアンプ活性化信号SA\_ENのイネーブルタイミングをラッチ型センスアンプのように配慮する必要がない(タイミングフリー(timing free)とすることができる)。すなわち、ビット線オフセット電圧マージンを考慮してセンスアンプ活性化信号SA\_ENのイネーブルタイミングを決める必要がない。従って、差動型センスアンプは、ラッチ型センスアンプよりもセンスアンプ活性化信号SA\_ENのイネーブルタイミングを早くすることができる。すなわち、差動型センスアンプは、ラッチ型センス



より遅延を少なくすることができる。

【0030】図3は、図1のバンクBANK1とYスイッチYSW1の部分を抜き出してより詳細に示した図である。データ読み出し用のグローバルビット線(RGBL、RGBLB)およびデータの書き込み用のグローバルビット線(WGBL、WGBLB)をローカルビット線4対(LBL0、LBLB0、LBL1、LBLB1、LBL2、LBLB2、LBL3、LBLB3)に対して、それぞれ1対の割合で配線し、YスイッチYSW1によってローカルビット線4対(LBL0、LBLB0、LBL1、LBLB1、LBL2、LBLB2、LBL3、LBLB3)のうち1対を選択して、データ読み出し用のグローバルビット線(RGBL、RGBLB)及びデータの書き込み用のグローバルビット線(WGBL、WGBLB)に接続することにより、データの読み出しおよび書き込みを行う。信号線RSW0、WSW0、RSW1、WSW1、RSW2、WSW2、RSW3、WSW3はYスイッチ制御回路106から出力され、YスイッチYSW1の各MOSトランジスタのゲートに入力される。

【0031】図4は、データ読み出し用のグローバルビット線(RGBL、RGBLB)およびデータの書き込み用のグローバルビット線(WGBL、WGBLB)がローカルビット線4対(LBL0、LBLB0、LBL1、LBLB1、LBL2、LBLB2、LBL3、LBLB3)に1対の割合で配線された場合のメモリマツト部のメタル層のレイアウトを示したものである。また、図5は、図4の線ABの断面図を示したものである。ローカルビット線(LBL0、LBLB0、LBL1、LBLB1、LBL2、LBLB2、LBL3、LBLB3)は、第2層のメタル(金属配線)を用いて構成される。ワード線の抵抗を減らすための補強線WLGは、第3層のメタルを用いて構成される。グランド線VSSと電源線VDDは、第3層のメタルを用いて構成される。読み出し用グローバルビット線(RGBL、RGBLB)は、第4層のメタルを用いて構成される。書き込み用グローバルビット線(WGBL、WGBLB)は、第4層のメタルを用いて構成される。なお、図示されていないが、第1層のメタルはメモリセル部で使用されている。また、太線で囲まれた領域は1つのメモリセルCELLを表している。

【0032】グローバルビット線(RGBL、RGBLB、WGBL、WGBLB)は、メモリセル1カラム(例えば、1対のビット線(LBL0、LBLB0))に1本の割合で形成されるため、グローバルビット線(RGBL、RGBLB、WGBL、WGBLB)の線間容量を低減して動作を高速化することが可能となる。

【0033】図6に本回路技術を用いて構成した16KBのメモリのレイアウトイメージを示す。領域140はメモリアレイであり、大きく2つに分かれており、それ

ぞれのメモリアレイは8つのバンク(bank1~bank8)に分かれている。領域143はYスイッチYSWであり、8つのバンク(bank1~bank8)にそれぞれ隣接して配置される。また、領域142には、デコーダおよびワードドライバ101およびYスイッチ制御回路106が配置される。領域144には、センスアンプ・ラッチ回路104およびライトアンプ回路102が配置される。領域145は、読み出しデータが出力される信号線OUTの配線領域であり、領域146は、書き込みデータが入力される信号線INの配線領域である。領域147には、図1で図示しなかったブリデコーダおよびその他制御回路が配置される。本メモリの入出力のデータ幅は32ビット長で、アドレスは12ビット長である。

【0034】以下にストア時の動作(同一アドレスへの読み出しと書き込みの連続動作)について説明する。

【0035】図7に図1の半導体記憶装置のストア時の動作波形を示す。ストア時には先ず始めにデータ読み出しを行い、その後データの書き込みを行う。

【0036】ストア動作を開始する前に、読み出し用グローバルビット線(RGBL、RGBLB)とローカルビット線(LBL、LBLB)とは、信号線EQが“L”(“LOW”レベル)に、Yスイッチ(YSW1~YSWn)の制御信号RSWが“L”にされることによって、プリチャージ回路108により“H”(“HIGH”レベル)にプリチャージされる。

【0037】読み出し動作は、まず、信号線EQが“H”にされ、プリチャージが中止され、それと同時に、ワード線WLが“H”にされ、プリチャージされたローカルビット線(LBL、LBLB)がメモリセルCELLにより放電され電位差が生じさせられる。制御信号RSWが“L”にされているので、Yスイッチ(YSW1~YSWn)のPチャネル型MOSトランジスタがオンにされている。従って、ローカルビット線(LBL、LBLB)と読み出し用グローバルビット線(RGBL、RGBLB)とが接続され、メモリセルCELLによって生じたローカルビット線(LBL、LBLB)の電位差が読み出し用グローバルビット線(RGBL、RGBLB)に伝えられる。さらにこの電位差がセンスアンプ・ラッチ回路104に伝えられ、センスアンプで増幅して信号線OUTにデータが出力される。

【0038】センスアンプに電位差が伝えられた時点で、Yスイッチ(YSW1~YSWn)の制御信号RSWを“L”から“H”にして、Yスイッチ(YSW1~YSWn)のPチャネル型MOSトランジスタがオフにされ、ローカルビット線(LBL、LBLB)と読み出し用グローバルビット線(RGBL、RGBLB)とが切り離される。同時に、Yスイッチ(YSW1~YSWn)の制御信号WSWが“L”から“H”にされ、Yスイッチ(YSW1~YSWn)のNチャネル

型MOSトランジスタがオンにされ、ローカルビット線(LBL、LBLB)と書き込み用グローバルビット線(WGBL、WGBLB)とが接続され、書き込み動作を開始する。書き込み用グローバルビット線(WGBL、WGBLB)は、読み出し動作中に予め充放電を終えているので、書き込み動作が始まってからは、容量の小さいローカルビット線(LBL、LBLB)のみを充放電すれば、信号がメモリセルCELLに伝わり、書き込みが終了する。

【0039】書き込み終了後、ワード線WLを“L”に、制御信号RSWを“L”に、制御信号WSWを“L”に、信号線EQを“L”にして、次のサイクルのために読み出し用グローバルビット線(RGBL、RGBLB)とローカルビット線(LBL、LBLB)とがプリチャージされる。読み出しと、書き込みと、プリチャージとが1サイクルで実行される。

【0040】なお、図7ではプリチャージは1サイクルの最後にするように記載されているが、プリチャージは読み出しの前に行われるようにすればよい。すなわち、1サイクルの最初にプリチャージ行うように記載するものと同一である。

【0041】従来技術1のメモリでは、読み出しのためのビット線と書き込みのためのビット線は同一であるので、読み出しのためのビット線の充放電と書き込みのためのビット線の充放電を同時に行えず、ストアの高速化が困難であった。本実施例では、読み出し中に、並行して書き込みのためのビット線の充放電を終わらせておけるので、同一アドレスへのデータの読み出しと書き込みを連続して高速に1サイクルで行え、1サイクルストアが実現できる。

【0042】また、本実施例では、動作時にビット線についているメモリセルCELLは、グローバルビット線を用いない従来回路に比べて $1/n$ しかないので、ビット線の容量が低減され、充放電が高速化される。この結果、読み出しおよび書き込み動作が高速化されるという効果もある。ビット線の容量が低減されことによって、消費電力も低減できる。

【0043】さらに、メモリセルCELLは、従来技術1のメモリと同一であり、従来技術2のいわゆるデュアルポートメモリのメモリセルよりも小さく形成できるので、メモリセル及びメモリアレイ面積を増大させることなく、同一アドレスへのデータの読み出しと書き込みの連続動作を高速に行える。

【0044】<実施例2>図8は、実施例1で述べた本発明に係る半導体記憶装置をキャッシュメモリのデータアレイとして用いたダイレクトマップ方式のキャッシュメモリのブロック図である。キャッシュメモリ200は、半導体集積回路製造技術を用いて単結晶シリコンのような1個の半導体基板に形成される。キャッシュデータアレイ112は、12ビット長のアドレスバス118

および32ビット長の書き込み用バス122および32ビット長の読み出し用バス121に接続されている。例えば、図6のメモリ構成を採用すれば、キャッシュデータアレイ112の容量は16KBで、1ライン(ミスヒット時の置き換えの単位)は256ビットの構成である。キャッシュタグアレイを用いた検索時のキャッシュデータアレイ112へのデータの入出力は32ビット幅で行われる。また、ミスヒットの置き換え時のキャッシュデータアレイ112へのデータの入出力は64ビット幅で行われる。

【0045】また、リカバリバッファ114は、キャッシュデータアレイ112から読み出したデータを一時保存するために使われ、例えば32ビット幅のレジスタで構成される。セクタ124は、キャッシュデータアレイ112に書き込み用バス122からのデータを書き込むのか、リカバリバッファ114からのデータを書き込むのかを選択する。セクタ124は、制御信号120によって制御される。

【0046】キャッシュタグアレイ113は、アドレスバス118からタグアドレスを受け取って物理アドレス125を比較器115に出力する。比較器115はキャッシュタグアレイ113から受け取ったアドレス125と図示されていないメモリ管理ユニットのアドレス変換バッファTLBから受け取ったアドレス126を比較し、一致した場合はヒット信号117に“H”(ヒット)を出力し、制御回路116に送る。一致しない場合はヒット信号117に“L”(ミスヒット)を出力し、制御回路116に送る。制御回路116はセクタ124を制御信号120で制御する。

【0047】図9に、図8のキャッシュメモリのリード、ライト、ストアおよびストア時ヒット信号がミスヒットだった場合にキャッシュデータアレイ112にデータを書き戻す動作であるリカバリの動作波形を示す。なお、本実施例ではキャッシュタグアレイ113のアクセスとキャッシュデータアレイ112のアクセスを並行して行うので、リードとロードとは実質的に同一であるとして扱っている。

【0048】リード時には、キャッシュデータアレイ112は、アドレスバス118からアドレスを受け取って、読み出し用バス121に読み出したデータを出力する。ライト時には、キャッシュデータアレイ112は、アドレスバス118からアドレスを、書き込み用バス122から書き込みデータをそれぞれ受け取って、データを書き込む。

【0049】ストア時には、アドレスバス118からアドレスを、書き込み用バス122から書き込みデータをそれぞれ受け取って、リカバリバッファ114にメモリセルのデータを読み出してからメモリセルにデータを書き込む。ストアが終了した時点で、ヒット信号117も確定し、書き込みが許可(ヒット)であったか、不許可

（ミスヒット）であったか確定する。ヒット信号117が「ヒット」である場合は、問題なく次の処理を実行できるが、ヒット信号が「ミスヒット」であった場合、キャッシュデータアレイ112のデータをもとに戻す必要がある。この場合に以下のリカバリ処理をする必要がある。

【0050】リカバリ処理は、アドレスバス118からアドレスを受け、また、リカバリバッファ114のデータをセクタ124を切り替えることによりキャッシュデータアレイ112に入れ、メモリセルにデータを書き込む。セクタ124の制御はヒット信号117を受けた制御回路116の出力である制御信号120によって行う。通常このヒット信号117が「ミスヒット」になる可能性は小さいので、リカバリ処理はほとんど行う必要がない。従って通常は、ストアは1サイクルで終了することになる。「ミスヒット」時には、1ライン（256ビット）のデータの置き換えが必要であり、置き換えに10数サイクルかかるが、リカバリ処理は1サイクルであるのでリカバリ処理の割合は小さい。

【0051】従来のストアはヒット信号が確定してから書き込みを行っているので、ストアが終了するまでに2サイクルかかっていた。しかし、本実施例では、従来方式に比べて半分のストア処理時間で済むことになる。すなわち、ストアがロードと同様に1サイクルで実現できる。従って、マイクロプロセッサのパイプラインのメモリアクセスステージも1サイクルで済み、パイプラインの流れの乱れもなく高速性能の向上が図れる。

【0052】なお、本実施例では、ライトの機能をストア機能で置き換えることができるので、制御回路を簡単にする場合は、ライトをなくすることもできる。

【0053】＜実施例3＞図10は、実施例2で述べた本発明に係わるキャッシュメモリを1次キャッシュに用いたコンピュータシステムのブロック図である。マイクロプロセッサ130は、半導体集積回路製造技術を用いて単結晶シリコンのような1個の半導体基板に形成され、1次キャッシュ132と中央処理装置（CPU）134とを内蔵している。また、マイクロプロセッサ130はレジンモールド技術等により樹脂封止される。マイクロプロセッサ130と2次キャッシュ136との間は、32ビット幅のデータバス138で接続されている。また、1次キャッシュ132と中央処理装置134との間は、32ビット幅の読み出し用バス140および32ビット幅の書き込み用バス142で接続されている。なお、図10では、データバスのみが記載されており、データ転送に必要なアドレスバスや制御信号の記載は省略されている。

【0054】図11には、1次キャッシュ132内のキャッシュデータアレイ112のデータの入れ替えに必要なバッファを含む構成が示される。書き込み用バス142と読み出し用バス140とは中央処理装置134とバ

スコントローラ166に接続され、バスコントローラ166はデータバス138と接続される。キャッシュタグアレイを用いた検索時のキャッシュデータアレイ112へのデータの入出力は32ビット幅で行われる。また、ミスヒットの置き換え時のキャッシュデータアレイ112へのデータの入出力は64ビット幅で行われる。図6の2つのメモリアレイ140のバンクbank i（iは1～8のうちの1つ）のどちらか1つを選択するか、2つを同時に選択するかによって、データの入出力幅が異なるようにするものである。バンクを1つ、選択する場合は、データの入出力は32ビット幅である。バンクを2つ選択する場合は、データの入出力は64ビット幅である。

【0055】1次キャッシュと2次キャッシュのデータを入れ替える場合、キャッシュデータアレイ112のデータをバス154を介してラインバッファ150に読み出すと同時に、2次キャッシュ136のデータをライトバッファ152及びバス156を介してキャッシュデータアレイ112に書き込むことができる。キャッシュデータアレイ112の1ラインが256ビットで、バス154、156が64ビット幅であるので、1ラインの読み出しと書き込みが4サイクルで済む。

【0056】一方、従来技術のメモリをキャッシュデータアレイ112に適用した場合は、1ラインの読み出しと書き込みが8サイクル必要になる。従って、従来技術に比べて、キャッシュデータアレイの動作時間（サイクル数）が半分になる。このため1次キャッシュには別の動作をさせることが可能となる。また、別の動作をさせない場合は、消費電力が低減できる。

【0057】＜実施例4＞実施例1では、データの読み出しと書き込みとの連続動作が同一アドレスに対して1サイクルで実行される例が示された。この連続する読み出しと書き込みとをそれぞれ別のアドレスに対して実行することも可能である。この動作については、以下に説明する実施例4の動作例として説明する。

【0058】図12は、本発明に係る半導体記憶装置の他の実施例を示す回路図である。半導体記憶装置400は、バンク（BANK1～BANKn）内にローカルビット線（LBL、LBLB）に接続されるプリチャージ回路109を有していることが、実施例1の半導体記憶装置100と異なる点で、その他は同一である。但し、図12では、ワード線WL2で選択されるメモリセルCELL2も示されている。プリチャージ回路109がバンク内のローカルビット線（LBL、LBLB）に接続されて設けられることによって、実施例1の半導体記憶装置100よりもローカルビット線（LBL、LBLB）のプリチャージを高速にできる。従って、プリチャージ時間を短くすることが可能となり、1サイクルの時間を短くすることができる。なお、実施例1の半導体記憶装置100と同様にセンスアンプ・ラッチ回路104は図2に

示されるセンスアンプ・ラッチ回路105で置き換えてもよい。

【0059】図13には、半導体記憶装置400の読み出しと書き込みの連続動作の波形が示される。はじめにメモリセルCELL1のデータが読み出した後、連続して、メモリセルCELL2へデータが書き込まれる。

【0060】動作を開始する前に、読み出し用グローバルビット線(RGBL、RGBLB)とローカルビット線(LBL、LBLB)は、信号線EQ1、EQ2が“L”にされることによって、プリチャージ回路108、109により“H”にプリチャージされる。

【0061】読み出し動作は、まず、信号線EQ1、EQ2が“H”にされ、プリチャージが中止され、それと同時に、ワード線WL1が“H”にされ、プリチャージされたローカルビット線(LBL、LBLB)がメモリセルCELL1により放電され電位差が生じさせられる。ワード線WL1の立ち上がりと同時に、Yスイッチ(YSW1~YSWn)の制御信号RSWが“H”から“L”にされ、ローカルビット線(LBL、LBLB)と読み出し用グローバルビット線(RGBL、RGBLB)とが接続されて、メモリセルCELL1により生じたローカルビット線(LBL、LBLB)の電位差が読み出し用グローバルビット線(RGBL、RGBLB)に伝えられる。さらにこの電位差がセンスアンプ・ラッチ回路104に伝えられ、センスアンプで増幅して信号線OUTにデータが出力される。

【0062】センスアンプに電位差が伝えられた時点で、ワード線WL1が“H”から“L”にされて、メモリセルCELL1からのデータ読み出しが中止される。同時に、Yスイッチ(YSW1~YSWn)の制御信号RSWが“L”から“H”にされて、Yスイッチ(YSW1~YSWn)のPチャネル型MOSトランジスタがオフにされ、ローカルビット線(LBL、LBLB)と読み出し用グローバルビット線(RGBL、RGBLB)とが切り離される。その後すぐに今度はワード線WL2が“H”にされて、メモリセルCELL2にデータの書き込みが行われる。ワード線WL2の立ち上がりと同時に、Yスイッチ(YSW1~YSWn)の制御信号WSWが“L”から“H”にされて、Yスイッチ(YSW1~YSWn)のNチャネル型MOSトランジスタがオンにされて、ローカルビット線(LBL、LBLB)と書き込み用グローバルビット線(WGBL、WGBLB)とが接続され、書き込み動作が開始される。書き込み用グローバルビット線(WGBL、WGBLB)は、読み出し動作中に予め充放電を終えているので、書き込み動作が始まってからは、容量の小さいローカルビット線(LBL、LBLB)のみが充放電されれば、信号がメモリセルCELL2に伝えられ、書き込みが高速に終了される。書き込み終了後は、ワード線WL2が“H”から“L”にされ、同時に、Yスイッチ(YSW1~Y

SWn)の制御信号WSWが“H”から“L”にされて、Yスイッチ(YSW1~YSWn)のNチャネル型MOSトランジスタがオフにされ、ローカルビット線(LBL、LBLB)と書き込み用グローバルビット線(WGBL、WGBLB)とが切り離される。その後、信号線EQ1、EQ2が“L”にされ、読み出し用グローバルビット線(RGBL、RGBLB)とローカルビット線(LBL、LBLB)とがプリチャージ回路108、109により“H”にプリチャージされ、1サイクルの動作が終了する。

【0063】本実施例では、読み出しと書き込みを同一のバンクのメモリセルに対して行なったが、別々のバンクのメモリセルに対して行うことも可能である。

【0064】ローカルビット線(LBL、LBLB)は、読み出し・書き込み・プリチャージという動作が1サイクルで実行され、読み出し用グローバルビット線(RGBL、RGBLB)は、読み出し・プリチャージという動作が1サイクルで実行され、書き込み用グローバルビット線(WGBL、WGBLB)は、書き込み動作のみが1サイクルで実行される。つまり、グローバルビット線は読み出し用と書き込み用にそれぞれ専用に使われ、ローカルビット線では読み出し動作と書き込み動作が連続して実行される。ただし、読み出し動作と書き込み動作の間にプリチャージ動作をする必要はない。

【0065】なお、図13ではプリチャージは1サイクルの最後にするように記載されているが、プリチャージは読み出しの前に行われるようにすればよい。すなわち、1サイクルの最初にプリチャージ行うように記載するものと同一である。

【0066】これは、バンク内をシングルポートとして利用し、メモリマクロ全体では、2ポートとして利用している。つまり、バンクを2ポートメモリセルのように利用していることになる。半導体記憶装置400は、あるアドレスのデータ読み出しと別のアドレスへのデータ書き込みとを同一サイクルで実行できる2ポートメモリとなる。容量の大きいグローバルビット線は2ポートとして使用し、容量の小さいローカルビット線はパイプライン的(直列動作的)に1ポートとして使用するようになされる。

【0067】<実施例5>実施例4では、2組のグローバルビット線を読み出し用と書き込み用にそれぞれ用いることにより1サイクルで読み出しと書き込みを連続して実行した。これに対して、2組のグローバルビット線を読み出し時にグローバルビット線を2組用いることにより、1サイクルで2つの異なるアドレスのデータを読み出すことができる2ポートメモリを実現できる。言い換えれば、1つのデータの読み出しを従来の半分のサイクルで実行できる。この動作については、以下に説明する実施例5の動作例として説明する。

【0068】図14は、本発明に係る半導体記憶装置の

他の実施例を示す回路図である。半導体記憶装置500は、バンク(BANKB1~BANKBn)内にローカルビット線(LBL、LBLB)に接続される負荷トランジスタをMP55、MP56有していること、Yスイッチ(YSW1~YSWn)がPチャネル型MOSトランジスタのみで構成されること、及び2対のグローバルビット線(RGBL1、RGBLB1、RGBL2、RGBLB2)のそれぞれに読み出し回路(センスアンプ・ラッチ回路104)及び書き込み回路(ライトアンプ回路102)が接続されることが、実施例1の半導体記憶装置100と異なる点で、その他は同一である。なお、実施例1の半導体記憶装置100と同様にセンスアンプ・ラッチ回路104は図2に示されるセンスアンプ・ラッチ回路105で置き換えてもよい。

【0069】メモリセルCELL1、CELL2は、それぞれワード線WL1、WL2に接続される。バンク内のビット線であるローカルビット線(LBL、LBLB)は、バンクに隣接されて形成されるYスイッチ(YSW1~YSWn)を介して、バンクを横断するようにローカルビット線(LBL、LBLB)と並行に形成されるグローバルビット線(RGBL1、RGBLB1、RGBL2、RGBLB2)に接続される。ローカルビット線(LBL、LBLB)は、負荷用Pチャネル型MOSトランジスタMP55、MP56に接続される。Pチャネル型MOSトランジスタMP55、MP56のゲートは接地電位に接続される。グローバルビット線は第1のグローバルビット線(RGBL1、RGBLB1)と、第2のグローバルビット線(RGBL2、RGBLB2)に分けられている。第1のグローバルビット線(RGBL1、RGBLB1)は、Yスイッチ(YSW1~YSWn)のPチャネル型MOSトランジスタMP51、MP53を介してローカルビット線(LBL、LBLB)と接続され、またセンスアンプ・ラッチ回路104に接続される。第2のグローバルビット線(RGBL2、RGBLB2)は、Yスイッチ(YSW1~YSWn)のPチャネル型MOSトランジスタMP52、MP54を介してローカルビット線(LBL、LBLB)と接続され、またセンスアンプ・ラッチ回路104に接続される。Pチャネル型MOSトランジスタMP51、MP53のゲートには、信号線RSW1が接続され、Pチャネル型MOSトランジスタMP52、MP54のゲートには、信号線RSW2が接続される。

【0070】デコーダおよびワードドライバ101はいずれか1つのバンクの1つのワード線を選択する回路である。Yスイッチ制御回路106はYスイッチ(YSW1~YSWn)を制御する回路である。第1のグローバルビット線(RGBL1、RGBLB1)及び第2のグローバルビット線(RGBL2、RGBLB2)にはプリチャージ回路108がそれぞれ接続される。信号線EQ3及び信号線EQ4は、プリチャージ回路108の制

御をそれぞれ行う。信号線OUT1からは第1のグローバルビット線(RGBL1、RGBLB1)から読み出されたデータが出力され、信号線OUT2からは第2のグローバルビット線(RGBL2、RGBLB2)から読み出されたデータが出力される。第1のグローバルビット線(RGBL1、RGBLB1)及び第2のグローバルビット線(RGBL2、RGBLB2)にはそれぞれライトアンプ回路102が接続される。

【0071】次に本実施例の回路において、始めにメモリセルCELL1のデータを読み出し、連続してメモリセルCELL2のデータを読み出す場合の動作を説明する。

【0072】動作を開始する前に、グローバルビット線(RGBL1、RGBLB1、RGBL2、RGBLB2)は、信号線EQ3、EQ4を“L”にして、プリチャージ回路108により“H”にプリチャージするようにされる。

【0073】次に信号線EQ3が“H”にされ、第1のグローバルビット線(RGBL1、RGBLB1)のプリチャージが中止される。それと同時に、ワード線WL1が“H”にされ、ローカルビット線(LBL、LBLB)がメモリセルCELL1により放電され電位差が生じさせられる。ワード線WL1の立ち上がりと同時に、Yスイッチ(YSW1~YSWn)の制御信号RSW1が“H”から“L”にされ、ローカルビット線(LBL、LBLB)と第1のグローバルビット線(RGBL1、RGBLB1)が接続されて、メモリセルCELL1により生じたローカルビット線(LBL、LBLB)の電位差が第1のグローバルビット線(RGBL1、RGBLB1)に伝えられる。さらにこの電位差がセンスアンプ・ラッチ回路104に伝えられ、センスアンプで増幅して信号線OUT1にデータが出力される。

【0074】センスアンプに電位差が伝えられた時点で、ワード線WL1が“H”から“L”にされ、メモリセルCELL1からのデータ読み出しが中止される。同時に、Yスイッチ(YSW1~YSWn)の制御信号RSW1が“L”から“H”にされ、Yスイッチ(YSW1~YSWn)のPチャネル型MOSトランジスタがオフされ、ローカルビット線(LBL、LBLB)と第1のグローバルビット線(RGBL1、RGBLB1)とが切り離される。また同時に、信号線EQ3が“H”から“L”にしされ、第1のグローバルビット線(RGBL1、RGBLB1)がプリチャージ回路108により“H”にプリチャージされる。その後すぐに信号線EQ2が“H”にされ、第2のグローバルビット線(RGBL2、RGBLB2)のプリチャージが中止される。、それと同時に、ワード線WL2が“H”にされ、ローカルビット線(LBL、LBLB)がメモリセルCELL2により放電され電位差が生じさせられる。ワード線WL2の立ち上がりと同時に、Yスイッチ(YSW1~YS



Wn) の制御信号RSW2が“H”から“L”にされ、ローカルビット線(LBL、LBLB)と第2のグローバルビット線(RGBL2、RGBLB2)が接続されて、メモリセルCELL2により生じたローカルビット線(LBL、LBLB)の電位差が第2のグローバルビット線(RGBL2、RGBLB2)に伝えられる。さらにこの電位差がセンスアンプ・ラッチ回路104に伝えられ、センスアンプで増幅して信号線OUT2にデータが出力される。

【0075】センスアンプに電位差が伝えられた時点で、ワード線WL2が“H”から“L”にされ、メモリセルCELL2からのデータ読み出しが中止される。同時に、Yスイッチ(YSW1~YSWn)の制御信号RSW2が“L”から“H”にされ、Yスイッチ(YSW1~YSWn)のPチャネル型MOSトランジスタがオフにされ、ローカルビット線(LBL、LBLB)と第2のグローバルビット線(RGBL2、RGBLB2)が切り離される。また同時に、信号線EQ3が“H”から“L”にされ、第1のグローバルビット線(RGBL1、RGBLB1)がプリチャージ回路108により“H”にプリチャージされる。以上により2つの異なるアドレスのデータを1サイクルで読み出すことができる。

【0076】なお、図15ではプリチャージは1サイクルの最後にするように記載されているが、プリチャージは読み出しの前に行われるようにすればよい。すなわち、1サイクルの最初にプリチャージ行うように記載するものと同一である。

【0077】本実施例では、容量の大きいグローバルビット線は読み出し・プリチャージという動作を1サイクルで行い、容量の小さいローカルビット線は、1サイクルで2回の読み出し動作を行う。つまり、ローカルビット線での1回の読み出しは、半分のサイクルで行い、プリチャージは行わない。ローカルビット線をプリチャージする必要がないのは、容量の大きいグローバルビット線がプリチャージされており、ローカルビット線には、常にオン状態である負荷用Pチャネル型MOSトランジスタが接続されているので、ローカルビット線が電源電圧付近の電位に保たれている為である。このようにバンクを2ポートメモリセルのように使うことによって、高速に読み出し動作を連続して実行することが可能となる。

【0078】<実施例6>図16には、実施例2のキャッシュデータアレイ112とリカバリバッファ114とで構成される半導体記憶装置600が示される。半導体記憶装置600は、8つのメモリバンク(BANK0~BANK7)と、8つのYスイッチ回路(YSW0~YSW7)と、Yスイッチデコード回路YSWDと、ワードドライバWDと、ワードデコードWDECと、プリデコードPDECと、センスアンプ・ラッチ回路SAL

と、ライトアンプWAと、リカバリバッファRBとで構成される。なお、半導体記憶装置600のメモリバンク(BANK0~BANK7)とYスイッチ回路(YSW0~YSW7)は、実施例1の半導体記憶装置100のメモリバンク(BANKn)とYスイッチ回路(YSWn)の回路構成及びレイアウトと同一である。

【0079】メモリセルアレイは8つのバンク(BANK0~BANK7)に分割され、各バンクは64本のワード線×256ビットのカラムを有している。メモリセルアレイは6トランジスタのシングルポートSRAMセルで構成される。バンク内のローカルビット線対(BL、/BL)はNチャネル型MOSトランジスタのYスイッチYSWを介して書き込み用グローバルビット線対(BGW、/BGW)に接続される。ローカルビット線対(BL、/BL)はPチャネル型MOSトランジスタのYスイッチYSWを介して読み出し用グローバルビット線対(BGR、/BGR)に接続される。

【0080】読み出し動作中、選択されたメモリセルの信号が読み出し用グローバルビット線対(BGR、/BGR)に伝達されるように、選択信号YRのうちの1つが“L”になりPチャネル型MOSトランジスタがオンにされる。読み出し用グローバルビット線対(BGR、/BGR)に伝達された信号はセンスアンプ・ラッチ回路SALで検出・増幅され、リードバスRBUSに出力される。リードバスRBUSは32ビット幅である。なお、センスアンプ・ラッチ回路SALは図2に示される差動型センスアンプ(センスアンプ・ラッチ回路105)を使用している。

【0081】書き込み動作中、ライトバスWBUSからライトアンプWAを介して入力されるデータが書き込み用グローバルビット線対(BGW、/BGW)に伝達されるように、選択信号YWのうちの1つが“H”になりNチャネル型MOSトランジスタがオンにされる。ライトバスWBUSも32ビット幅である。

【0082】アドレスバスABUSからアドレスがクロックCLKに同期してプリデコードPDECに入力され、デコードされる。さらに、プリデコードPDECの出力がワードデコードWDECに入力され、デコードされる。ワードデコードWDECの出力がワードドライバWDに入力されて、ワード線WLが選択される。

【0083】図17には、半導体記憶装置600のビット線容量が示される。半導体記憶装置600のビット線容量は、グローバルビット線を用いない同一記憶容量の従来技術のメモリ(以下、実施例6内の説明で単に従来技術のメモリという。)と比べて約45%削減することができる。ビット線(ローカルビット線)に接続されるメモリセルの容量はMemory Cellと表記している。

( )内の数字はメモリセルの数を表している。半導体記憶装置600は8つのバンクに分割しているため、メモリセルの数は従来技術のメモリと比べて1/8にな



る。ビット線（ローカルビット線）自身の容量はBLと表記されている。（ ）内のM2は第2層のメタルを表している。すなわち、ビット線が第2層目のメタルを使用していることを示している。グローバルビット線自身の容量はBGと表記されている。（ ）内のM4は第4層のメタルを表している。すなわち、グローバルビット線が第4層目のメタルを使用していることを示している。ローカルビット線とグローバルビット線とを接続するYスイッチ回路の容量はYSWと表記されている。グローバルビット線は第4層目（最上層）のメタルを使用するため、グローバルビット線の単位長さ当たりの容量（ $0.11\text{ fF}/\mu\text{m}$ ）はローカルビット線の単位長さ当たりの容量（ $0.19\text{ fF}/\mu\text{m}$ ）よりも小さくなる。従って、半導体記憶装置600のグローバルビット線の長さは、従来技術のメモリのビット線の長さと同程度であるが、半導体記憶装置600のグローバルビット線の容量は従来技術のメモリのビット線の容量よりも小さくなっている。

【0084】図18には、半導体記憶装置600のシミュレーション波形が示される。動作電源電圧は2.5Vで、動作周囲温度は75℃の条件でのシミュレーション結果である。メモリセルから読み出された信号が読み出し用グローバルビット線対（BGR、/BGR）に伝達される間に、ライトアンプWAは書き込み用グローバルビット線対（BGW、/BGW）を駆動することができる。読み出し動作の後、YスイッチYSWのNチャネル型MOSトランジスタをオンにし、ローカルビット線対（BL、/BL）に関しての読み出し動作と書き込み動作との間にプリチャージをすることなく、書き込みデータをローカルビット線対（BL、/BL）にすぐに伝達することができる。書き込みデータがメモリセルに書き込まれている間に読み出し用グローバルビット線対（BGR、/BGR）のプリチャージが行うことができる。書き込み用グローバルビット線対（BGW、/BGW）のプリチャージは全く必要ない。すなわち、ローカルビット線対（BL、/BL）では、読み出し（Read）、書き込み（Write）、プリチャージ（Precharge）の順番で行われる。読み出し用グローバルビット線対（BGR、/BGR）では、読み出し（Read）、プリチャージ（Precharge）の順番で行われる。書き込み用グローバルビット線対（BGW、/BGW）では、書き込み（Write）のみが行われる。従って、読み出し用グローバルビット線対（BGR、/BGR）での読み出し（Read）と書き込み用グローバルビット線対（BGW、/BGW）での書き込み（Write）が並行に行われている。

【0085】図18に示されるシミュレーション結果によると、半導体記憶装置600は、読み出しと書き込みとの2つの動作が3.5nsで実現できるようにされる。すなわち、半導体記憶装置600は、動作周波数285MHzの1サイクルで読み出しと書き込みとの動作

が実行される。

【0086】図19には、半導体記憶装置600と従来技術のメモリとのサイクルタイムの比較が示される。半導体記憶装置600のサイクルタイムは従来技術のメモリよりも48%短くなる。従来技術のメモリは、読み出し用グローバルビット線対も書き込み用グローバルビット線対も有さない。従って、読み出しと書き込みの両方を行うためには、2倍のサイクルタイムが必要になる。半導体記憶装置600においては、容量の小さいローカルビット線（BL、/BL）をパイプライン的（図19では、Pipelinedと表記されている。）に使用するようにされ、容量の大きい2つのグローバルビット線（BGR、/BGR；BGW、/BGW）を2ポート（図19では、2-portと表記されている。）として使用するようにされる。図19の（ ）内の数字はビット線の負荷容量を示している。

【0087】なお、読み出しはRead又はRと、書き込みはWrite又はWと、プリチャージはPrecharge又はPcと表記されている。ビット線又はローカルビット線はBLと、読み出し用グローバルビット線はBGRと、書き込み用グローバルビット線はBGWと表記されている。

【0088】図20には、センスアンプ・ラッチ回路SALの回路構成とシミュレーション波形が示される。動作電源電圧は2.5Vで、動作周囲温度は75℃の条件でのシミュレーション結果である。ワード線WLが立ち上がってからリードバスRBUS（Read Bus）にデータが読み出されるまでの時間は、1.3nsである。読み出し用グローバルビット線はBGRと、1段目のセンスアンプSA1の出力線はSO1と、2段目のセンスアンプSA2の出力線はSO2と、3段目のセンスアンプSA3の出力線はSO3と表記されている。なお、センスアンプ活性化信号SA\_ENは読み出し用グローバルビット線（BGR、/BGR）に電位差が生じる前に活性化（Hレベル）にされている。すなわち、タイミングフリーのセンスアンプであることを示している。

【0089】図21には、半導体記憶装置600の試作品の写真のコピーが示される。ワードデコーダWDEC、ワードドライバWD及びYスイッチデコー回路YSWは、Decoder / Word Driverと表示されている領域に配置されている。センスアンプ・ラッチ回路SAL、ライトアンプWA及びリカバリバッファRBは、Read / Write amplifier / RBと表示されている領域に配置されている。リードバスRBUSの配線は、Read Busと表示されている領域に配置されている。ライトバスWBUSの配線は、Write Busと表示されている領域に配置されている。プリデデコーダPDECとその他必要な回路は、Peripheralと表示されている領域に配置されている。

【0090】半導体記憶装置600は、 $0.35\mu\text{m}$ 、4層金属配線、CMOS技術で製造されている。Nチ

チャネル型MOSトランジスタ及びPチャネル型MOSトランジスタのゲート長は、 $0.4\mu\text{m}$ である。金属配線のピッチは、 $1.4\mu\text{m}$ である。半導体記憶装置600の大きさは、 $1.5\text{mm}\times 3.56\text{mm}$ である。

【0091】図22には、半導体記憶装置600の実測の動作波形が示される。285MHzのクロック(Clock)と、ワード線WL(Word Line)と、ライトバスWBUS(Write Bus)と、リードバスRBUS(Read Bus)の波形が示されている。横軸は時間で、縦軸は出力電圧が示されている。1サイクルは3.5nsで、アクセスタイムは2nsである。従って、読み出しと書き込み動作は動作周波数285MHzの1サイクルで実行されている。また、半導体記憶装置600の特長は、以下の通りである。

【0092】(1) 記憶容量：4K×32ビット(16Kバイト)

(2) 読み出しポート：1つ

(3) 書き込みポート：1つ

(4) 供給電源電圧：2.5V

(5) サイクルタイム：3.5ns

(6) クロックアクセスタイム：2.0ns

(7) 消費電力：130mW(動作クロック周波数が200MHzのとき)

(8) メモリセルサイズ： $4.2\times 5.16\mu\text{m}$ (6トランジスタ)

(9) チップサイズ： $1.5\times 3.56\text{mm}$

(10) プロセス：4層金属配線、 $0.35\mu\text{mCMOS}$

(11) 金属配線ピッチ： $1.4\mu\text{m}$

(12) バンド幅：2.3Gバイト/s

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることはいうまでもない。例えば、図1の半導体記憶装置のメモリセルはいわゆるスタティック型であるが、いわゆる1つのMOSトランジスタと1つの容量からなるダイナミック型のものであってもよい。図8のキャッシュメモリはダイレクトマップ方式であるが、セットアソシアティブ方式或いはフルアソシアティブ方式であってもよい。キャッシュデータアレイ112の1ラインは256ビットであるが、1ラインは128ビット、512ビット等の入出力のデータ幅の整数倍であればよい。また、キャッシュデータアレイ112の入出力のデータ幅は32ビット又は64ビットであるが、128ビットであってもよい。図10のマイクロプロセッサ130は、2次キャッシュを内蔵してもよい。また、2次キャッシュに図2のキャッシュメモリを用いてもよい。図10のコンピュータシステムは2次キャッシュがないシステムであってもよい。すなわち、2次キャッシュの代わりに主記憶装置であってもよい。

【0093】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0094】すなわち、読み出しと書き込みのためのビット線の充放電とを並行して行うことができるため、読み出しと書き込みの連続動作を高速化でき、1サイクルで終わることが可能となる。

【図面の簡単な説明】

【図1】実施例1に係る半導体記憶装置の回路図。

【図2】センスアンプ・ラッチ回路の他の実施例の回路図。

【図3】グローバルビット線をローカルビット線4対に対して1対形成した場合の回路図。

【図4】実施例1に係る半導体記憶装置のメモリマップ部のレイアウト図。

【図5】実施例1の半導体記憶装置のメモリマップ部の断面図。

【図6】実施例1の半導体記憶装置を用いた16KBのメモリのレイアウトイメージ図。

【図7】実施例1の半導体記憶装置の半導体記憶装置のストア時の動作波形図。

【図8】実施例1に係る半導体記憶装置を用いたキャッシュメモリ(実施例2)のブロック図。

【図9】実施例2のキャッシュメモリの動作波形図。

【図10】実施例2に係るキャッシュメモリを用いたコンピュータシステム(実施例3)のブロック図。

【図11】実施例3の1次キャッシュの書き換えバスの要部ブロック図。

【図12】実施例4に係る半導体記憶装置の回路図。

【図13】実施例4の半導体記憶装置の動作波形図。

【図14】実施例5に係る半導体記憶装置の回路図。

【図15】実施例5の半導体記憶装置の動作波形図。

【図16】実施例6に係る半導体記憶装置の回路図。

【図17】実施例6に係る半導体記憶装置のビット線容量。

【図18】実施例6に係る半導体記憶装置のシミュレーション動作波形図。

【図19】実施例6に係る半導体記憶装置と従来技術のメモリとのサイクルタイムの比較。

【図20】実施例6に係る半導体記憶装置のセンスアンプ・ラッチ回路の回路構成とシミュレーション波形。

【図21】実施例6に係る半導体記憶装置の試作品の写真のコピー。

【図22】実施例6に係る半導体記憶装置の試作品の動作波形図。

【符号の説明】

101……デコーダおよびワードドライバ

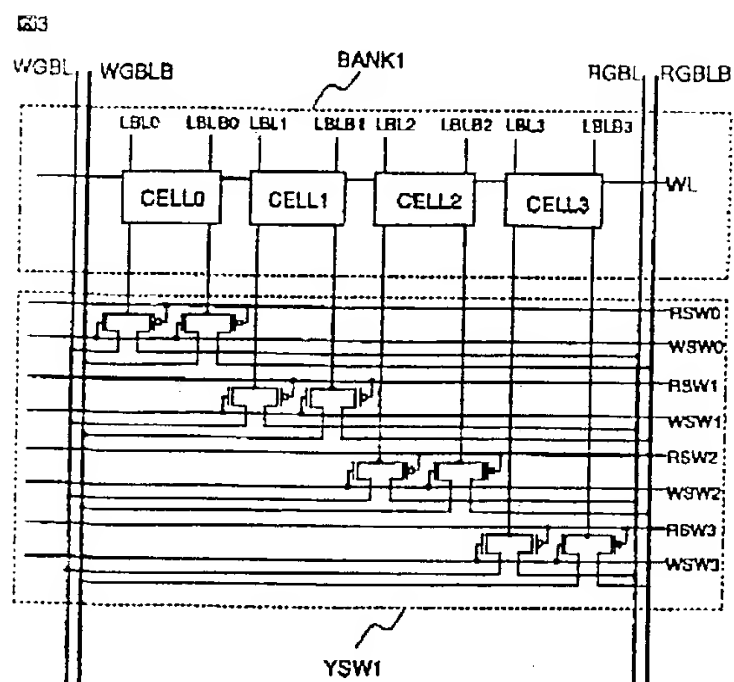
102……ライトアンプ回路

104、153、154……センスアンプ・ラッチ回路

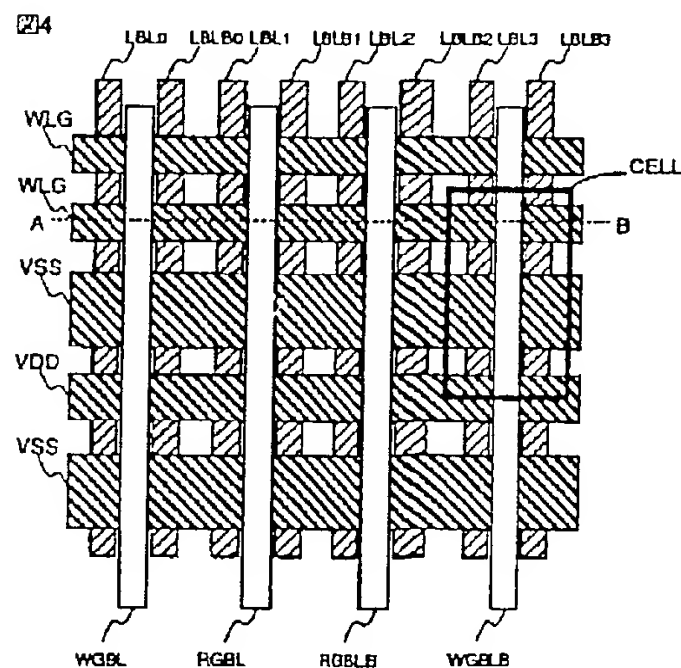
106……Yスイッチ制御回路  
 108、109、151、152……プリチャージ回路  
 112……キャッシュデータアレイ  
 113……キャッシュタグアレイ  
 114……リカバリバッファ  
 115……比較器  
 116……制御回路  
 117……ヒット信号  
 118……アドレスバス  
 120……セクタ制御信号  
 121、140……読み出し用バス  
 122、142……書き込み用バス  
 124……セクタ  
 125、126……物理アドレス  
 130……マイクロプロセッサ  
 132……1次キャッシュ  
 134……CPU  
 136……2次キャッシュ  
 138……データバス  
 140……メモリアレイ  
 142……デコーダおよびワードドライバおよびYスイッチ制御回路  
 143……Yスイッチ  
 144……センスアンプ・ラッチ回路およびライトアンプ回路  
 145……信号線OUTの配線

146……信号線INの配線  
 147……プリデコーダおよび制御回路  
 LBL、LBLB……ローカルビット線  
 WGBL、WGBLB……書き込み用グローバルビット線  
 RGBL、RGBLB……読み出し用グローバルビット線  
 MN……Nチャネル型MOSトランジスタ  
 MP……Pチャネル型MOSトランジスタ  
 INV……インバータ回路  
 NAND……ナンド回路  
 CELL……メモリセル  
 WL……ワード線  
 N、NB……メモリセル記憶ノード  
 EQ……プリチャージ回路制御信号  
 RSW……YSWのP型MOSトランジスタを制御する信号  
 WSW……YSWのN型MOSトランジスタを制御する信号  
 BANK1、BANKn……バンク  
 YSW1、YSWn……Yスイッチ  
 SA、SA1、SA2、SA3……センスアンプ  
 SA\_EN……センスアンプ活性化信号  
 WLG……ワード線の補強線  
 VSS……グラウンド線  
 VDD……電源線。

【図3】



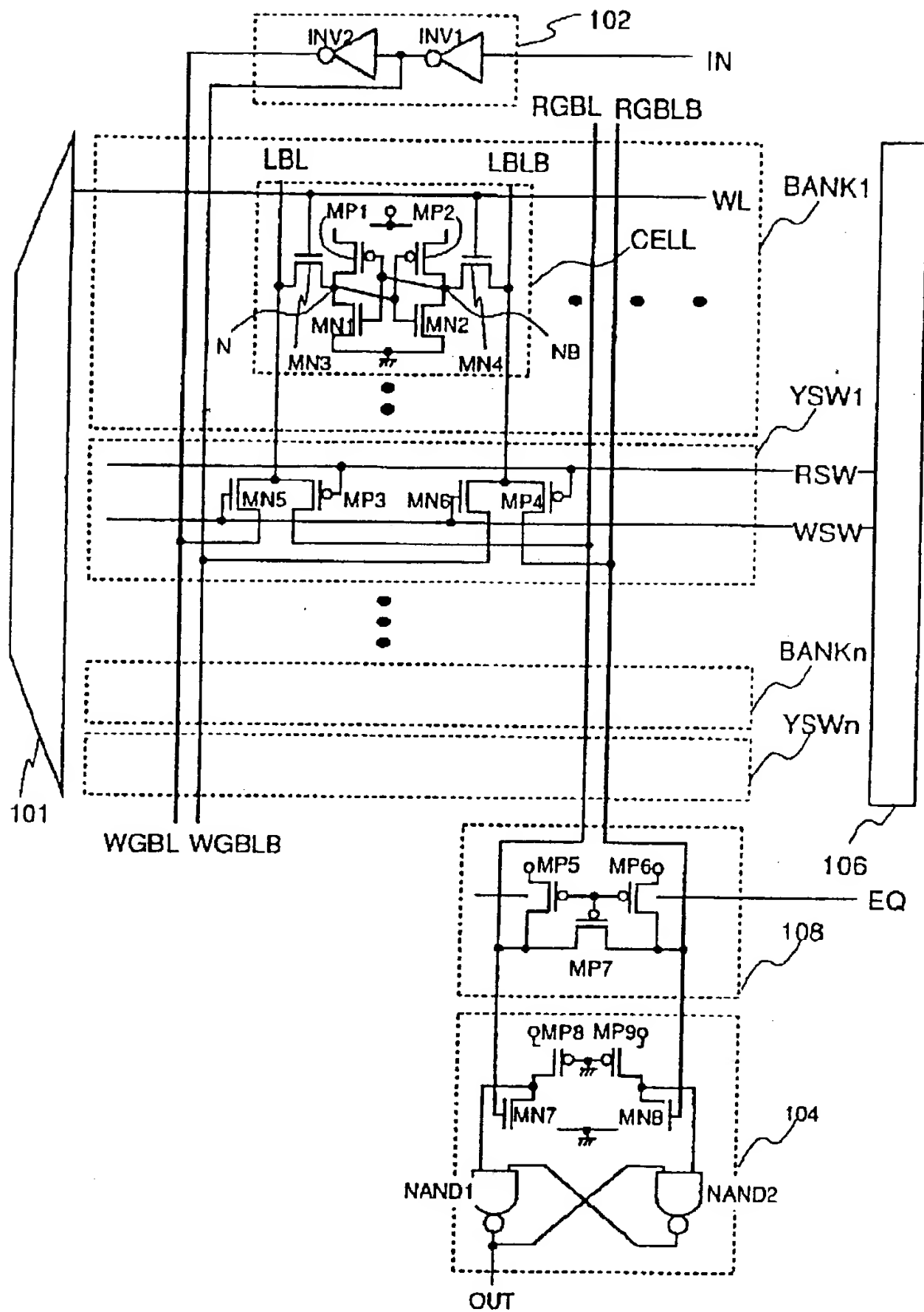
【図4】



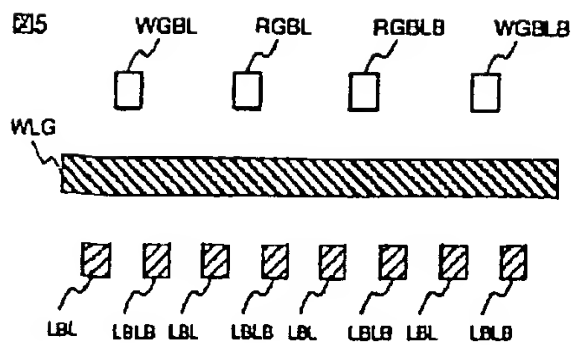
【図1】

図1

100

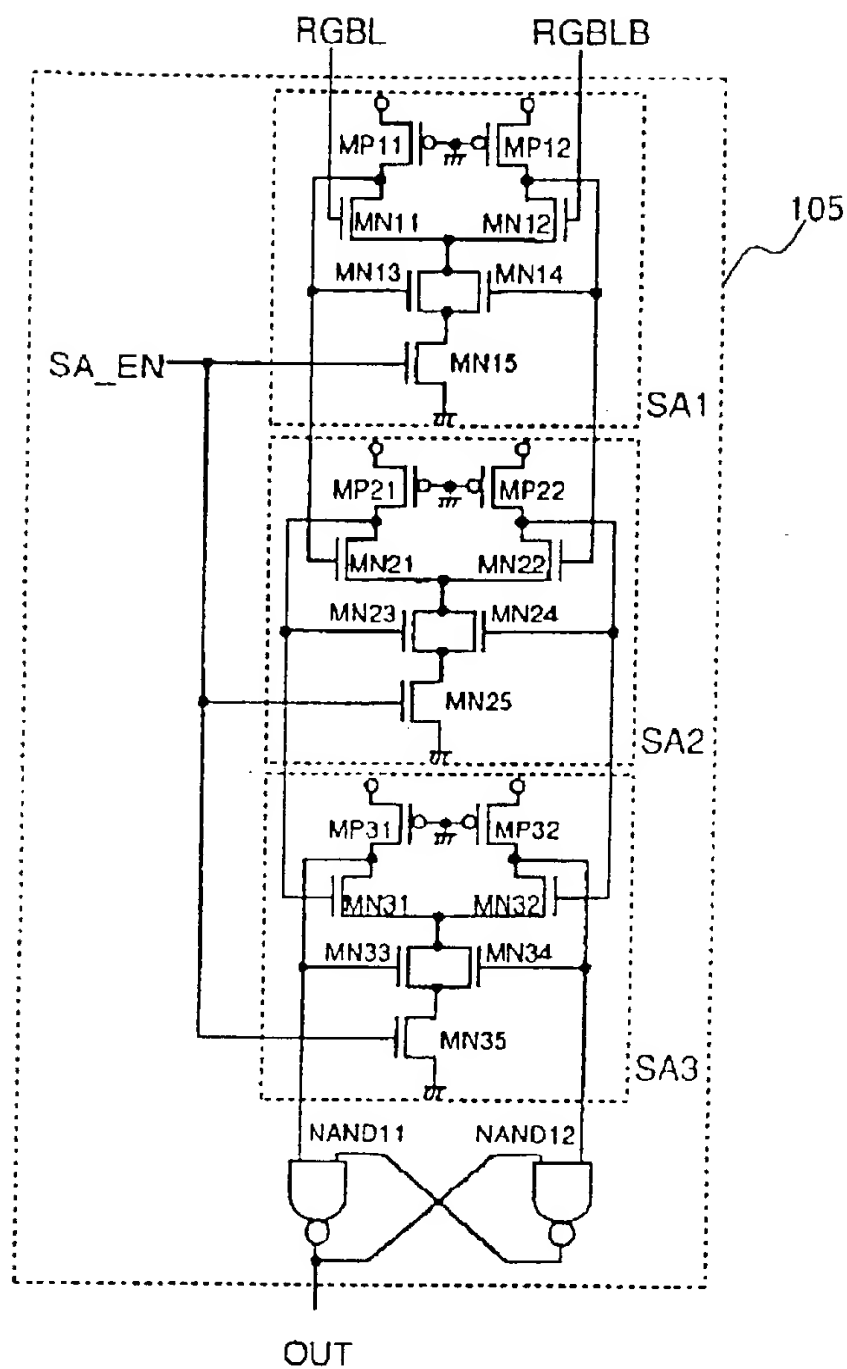


【図5】



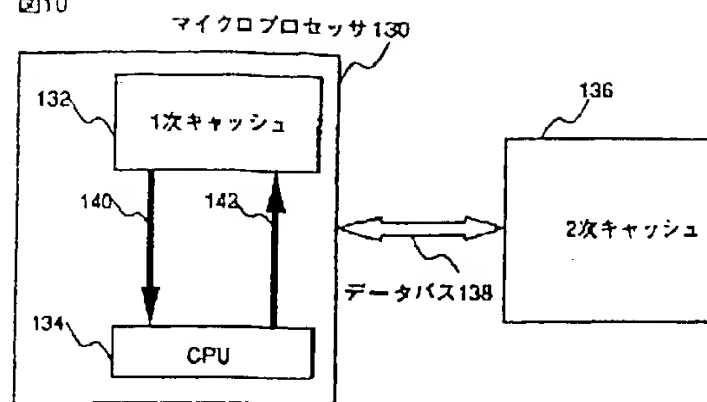
【図 2】

図2



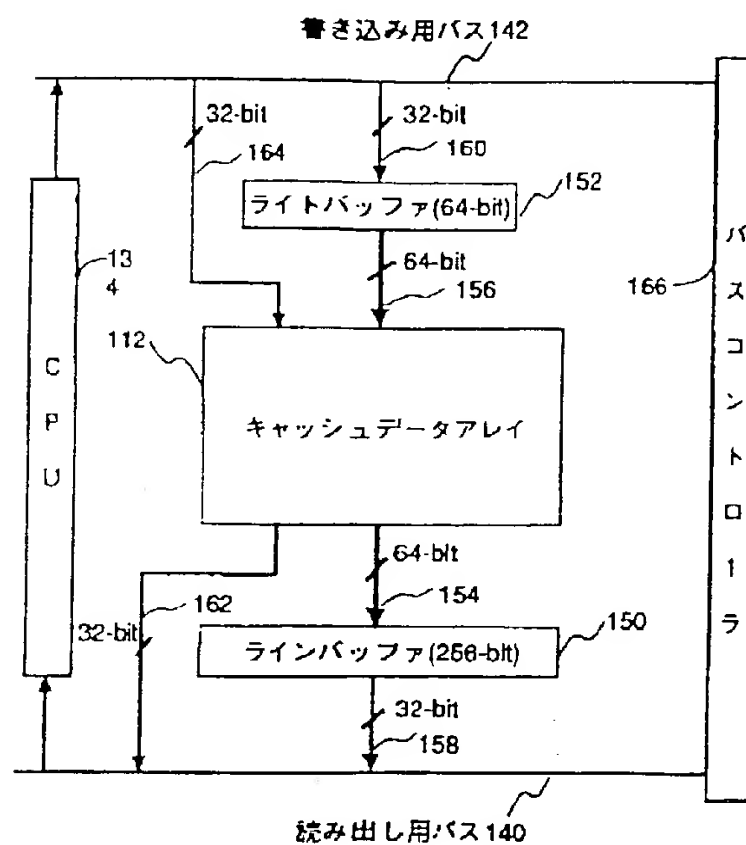
【図 10】

図10



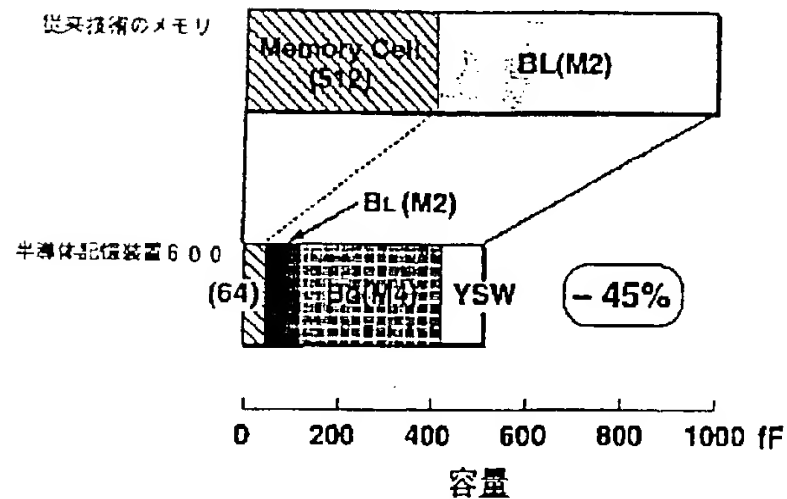
【図 11】

図11



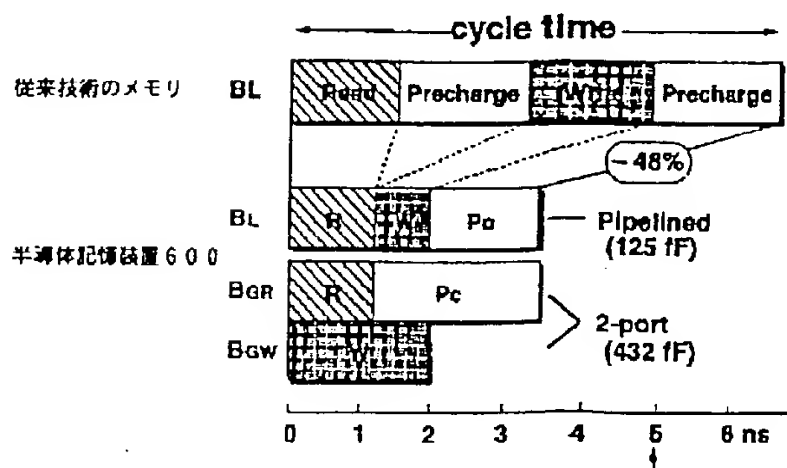
【図 17】

図 17



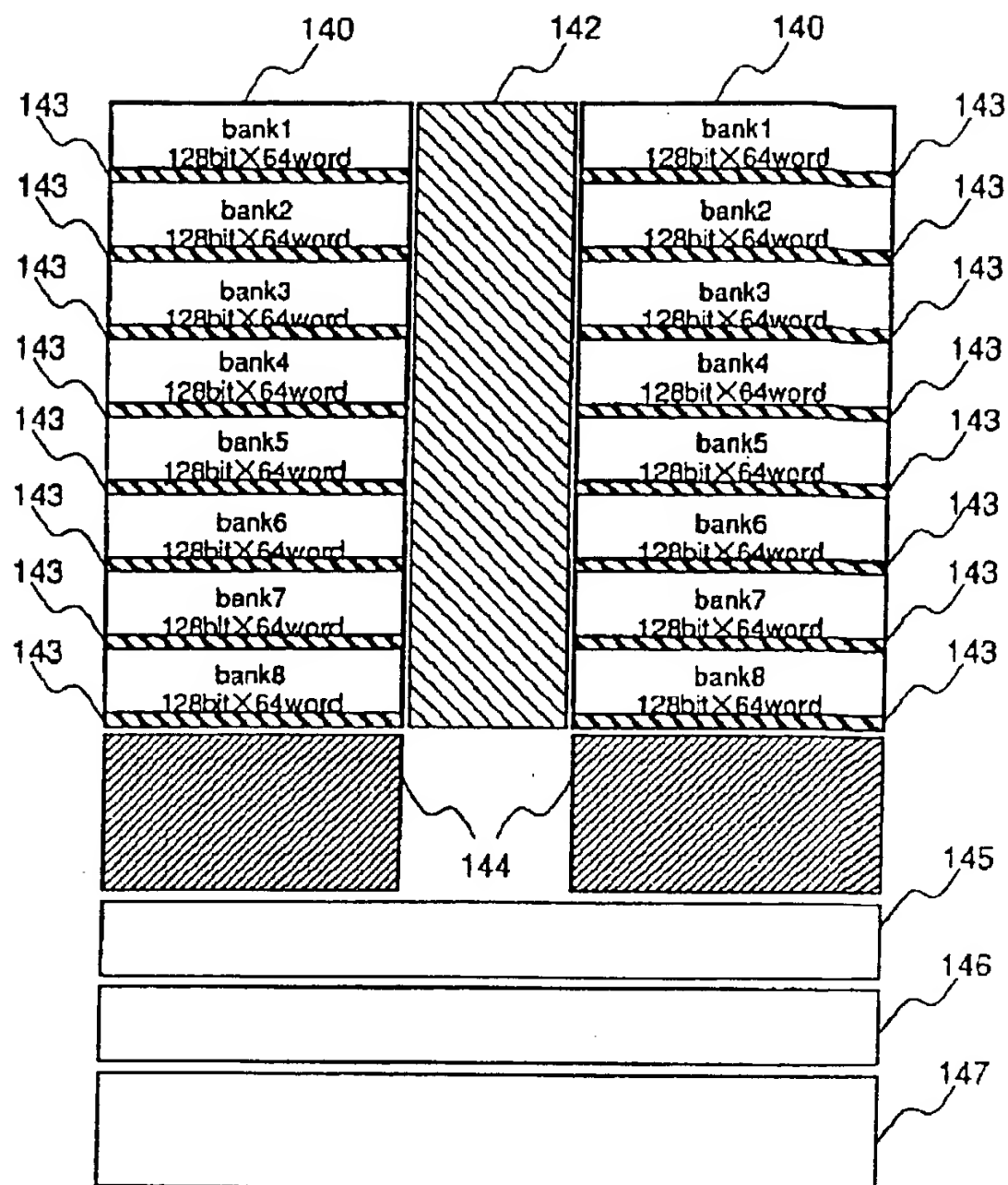
【図 19】

図 19



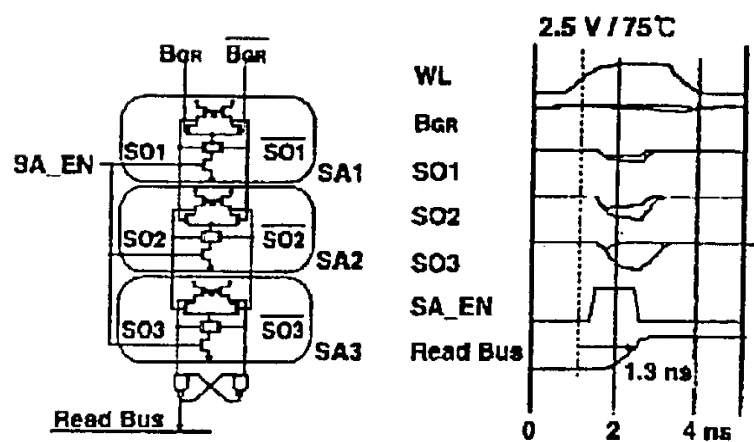
【図6】

図6



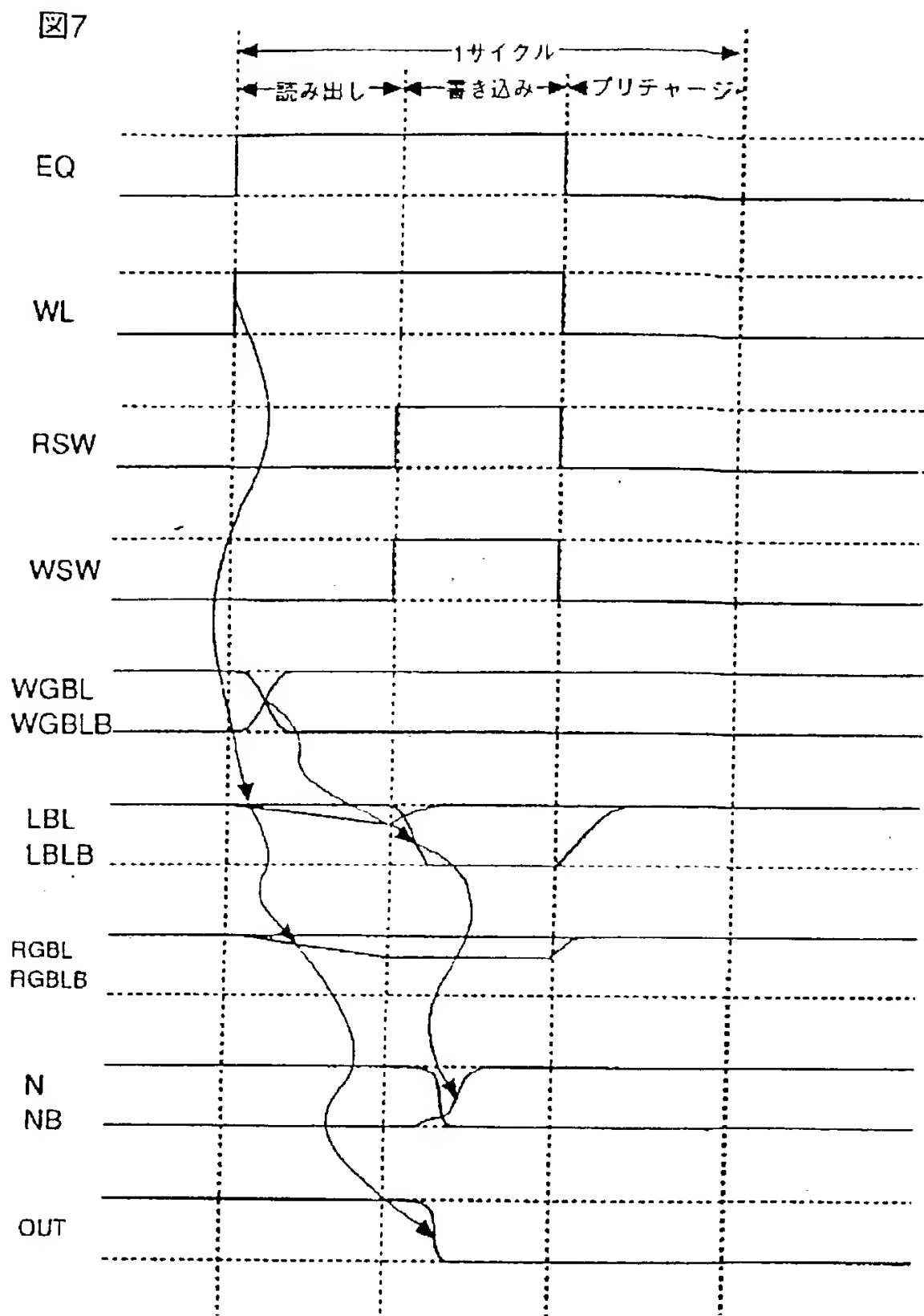
【図20】

図20

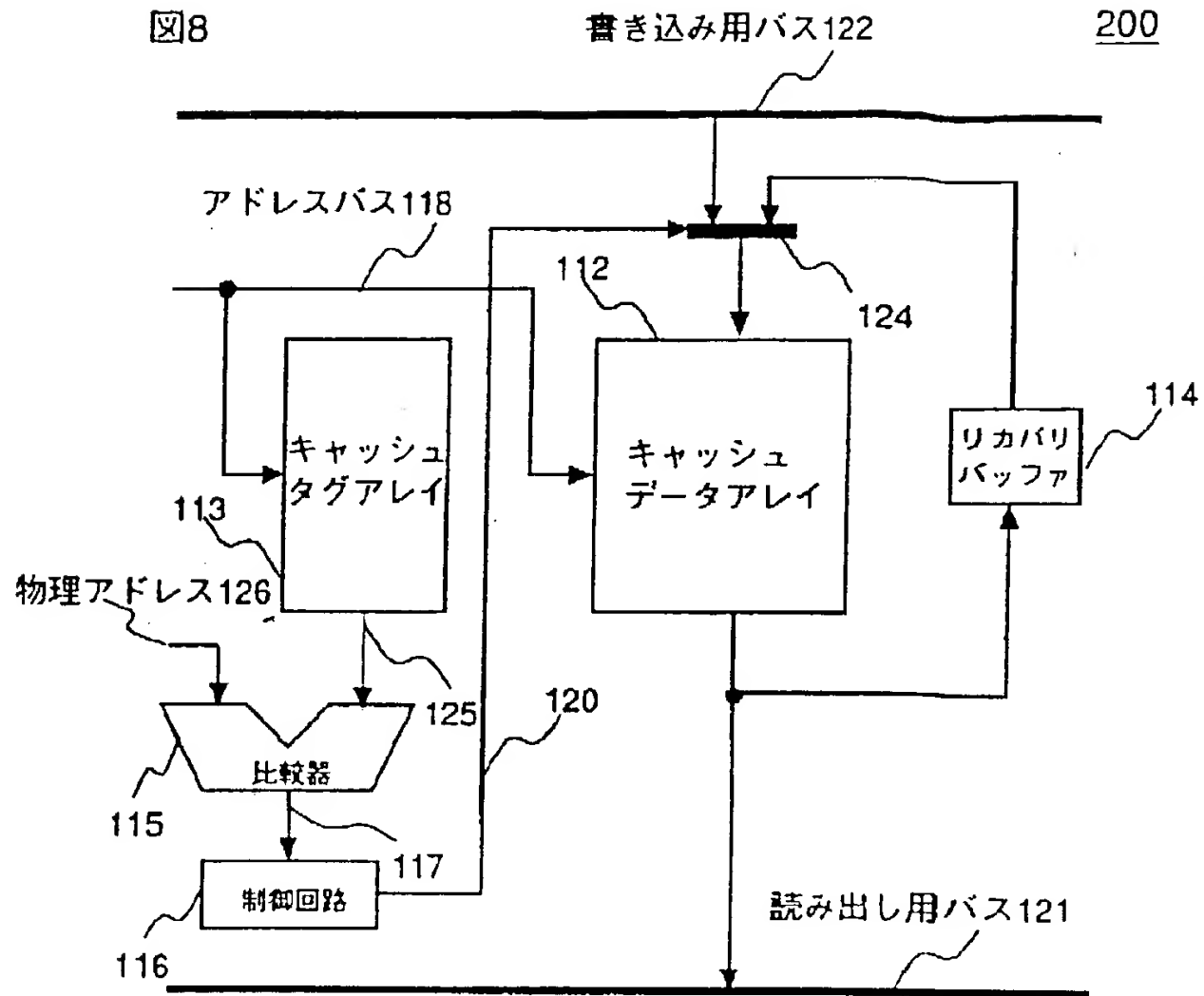




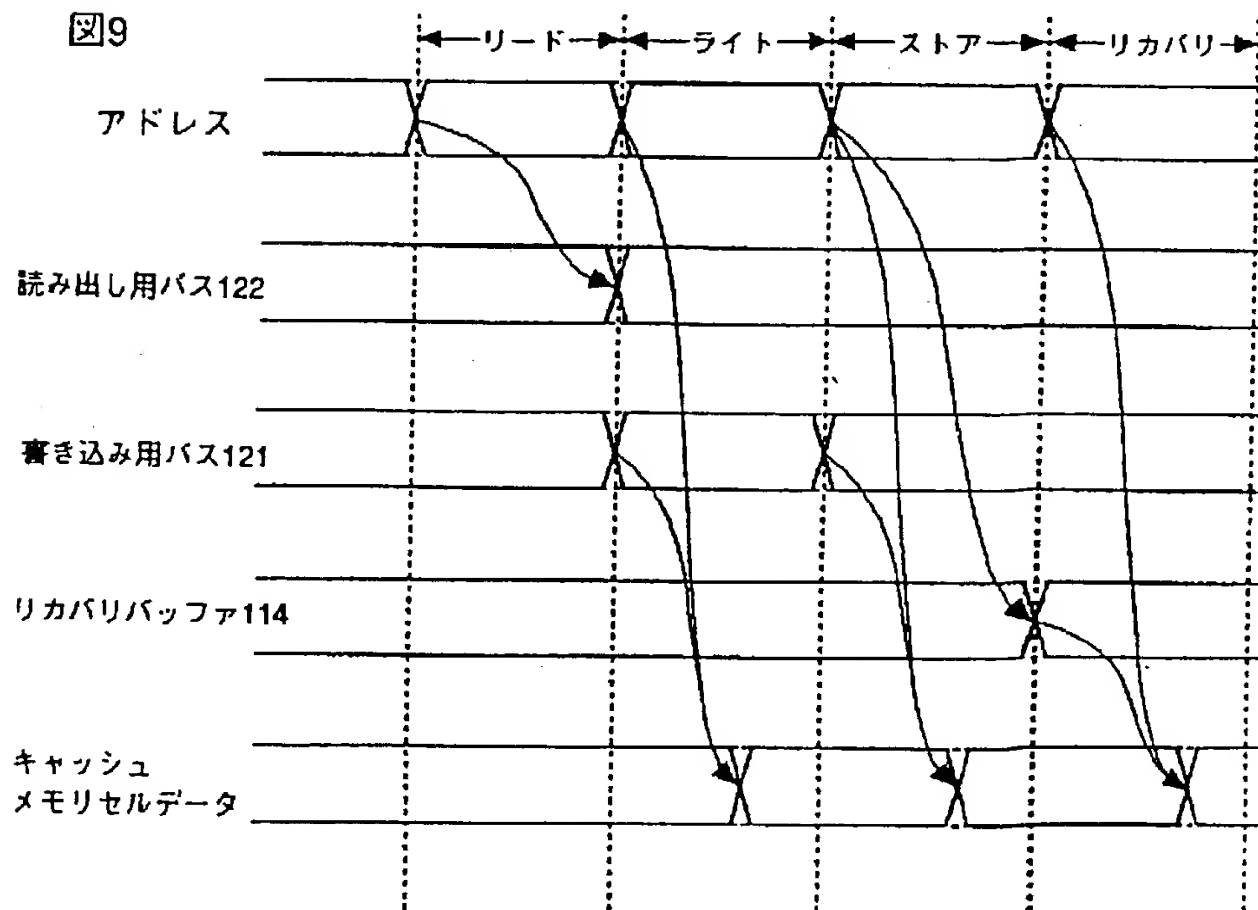
【図7】



【図8】

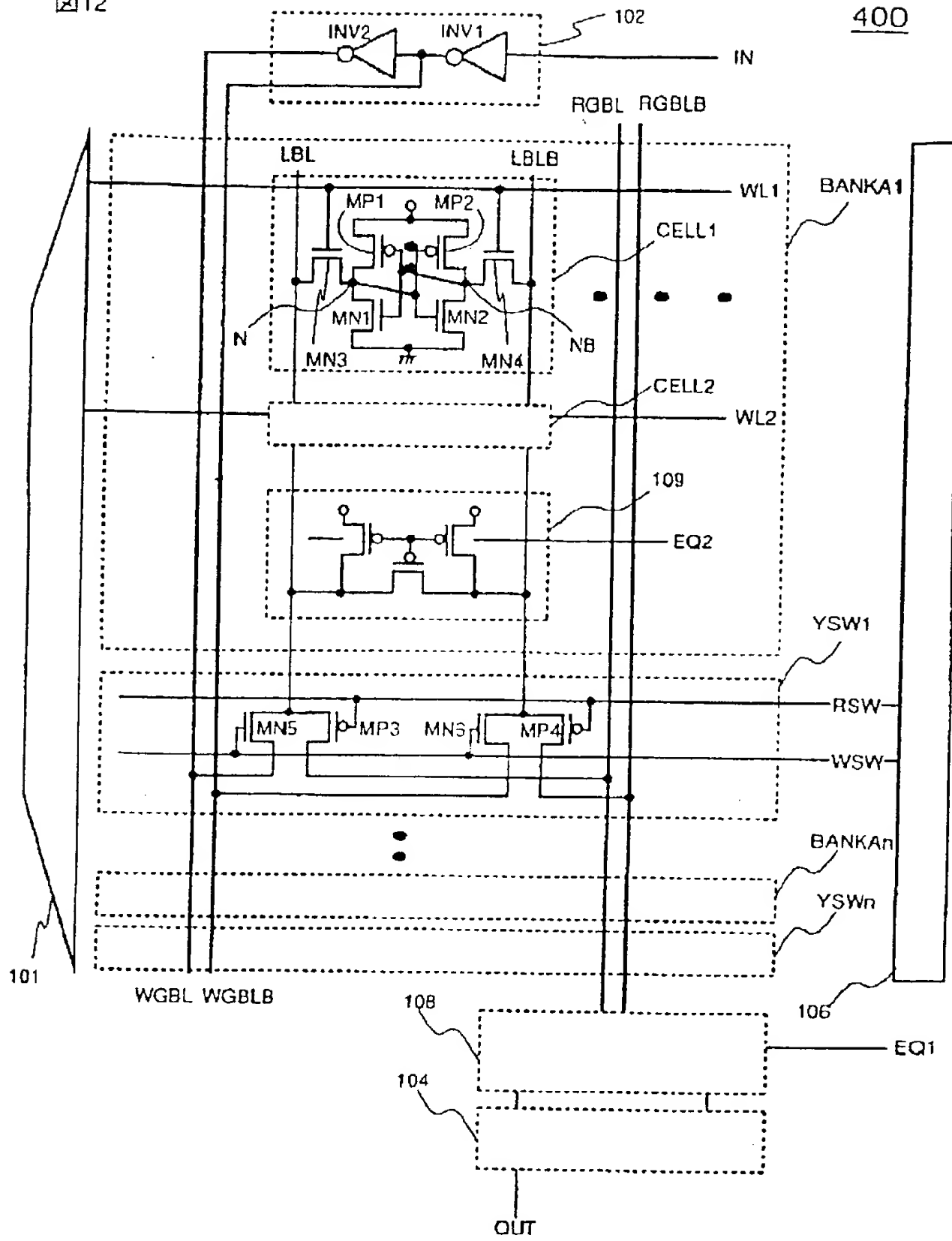


【図9】

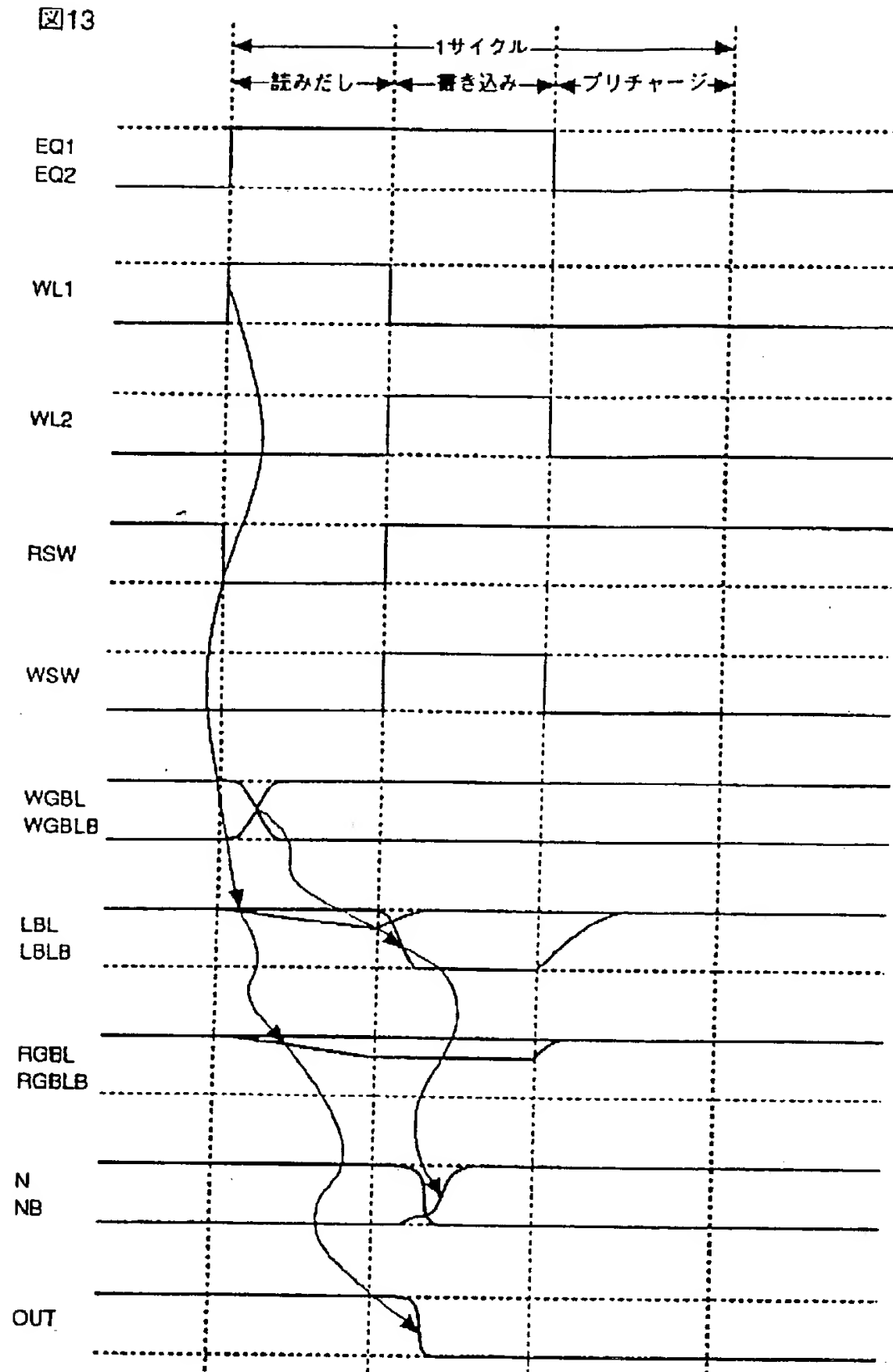


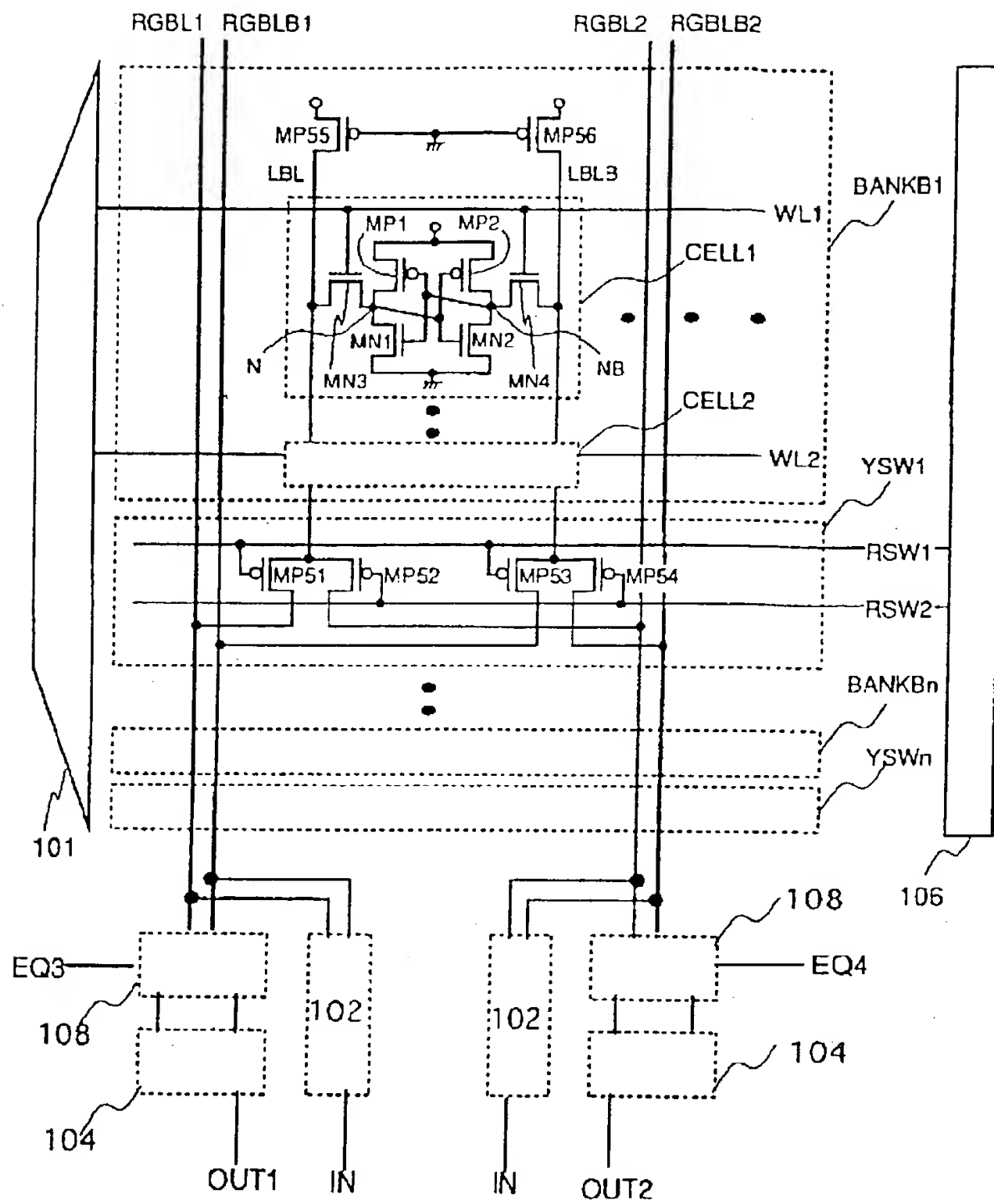
12

400

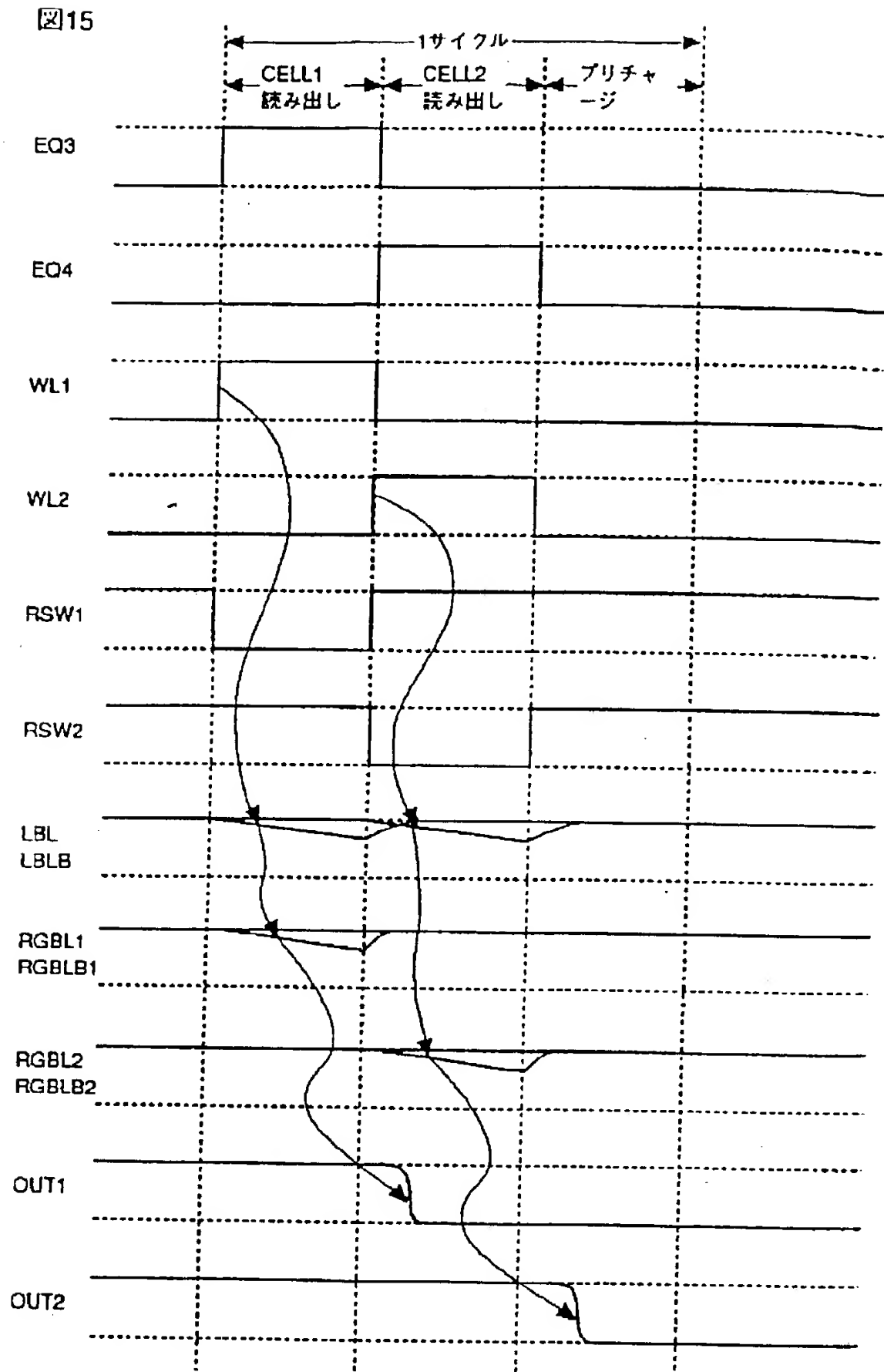


【図13】





【図15】

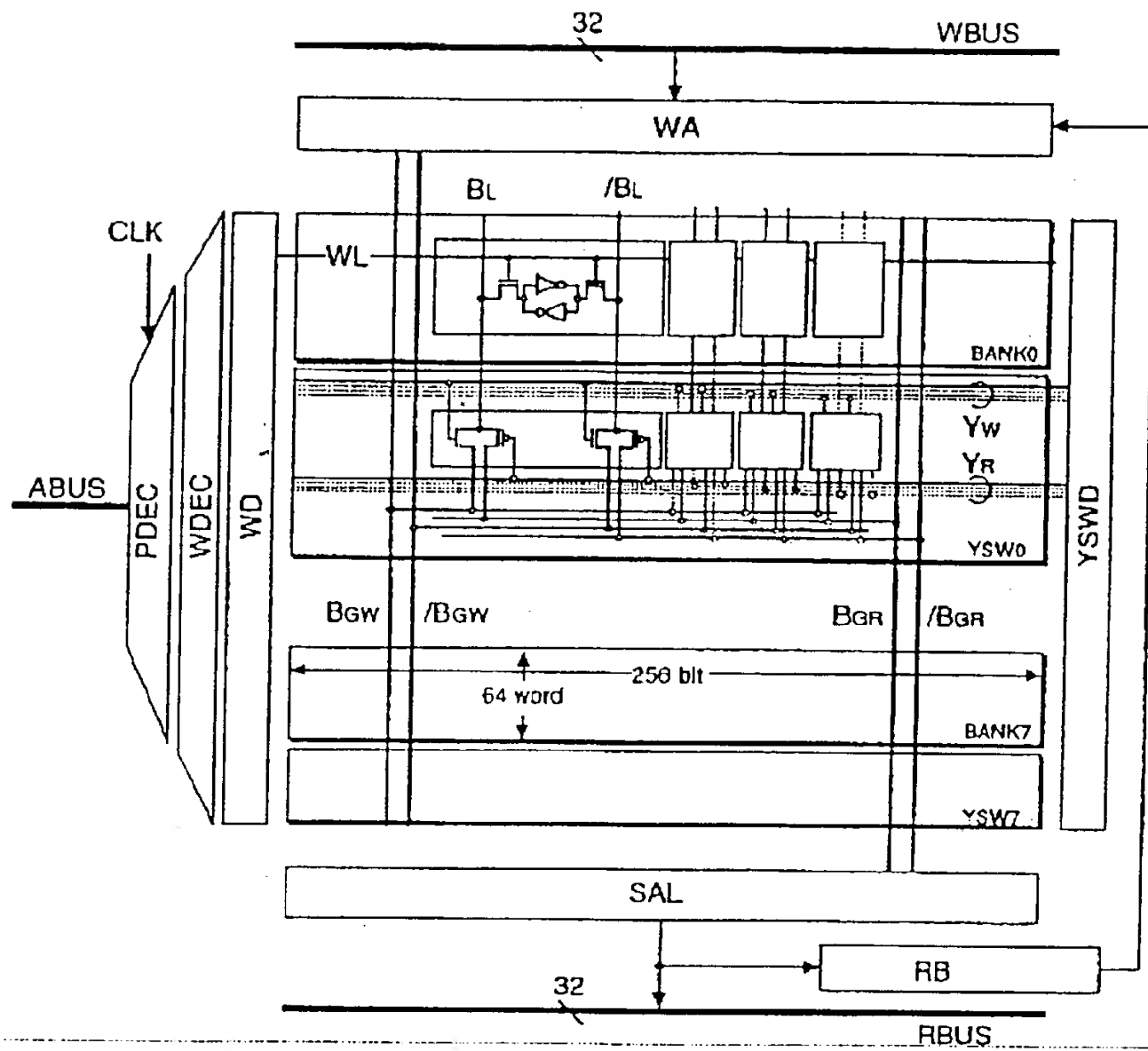




【図 16】

図16

600



【図 18】

図 18

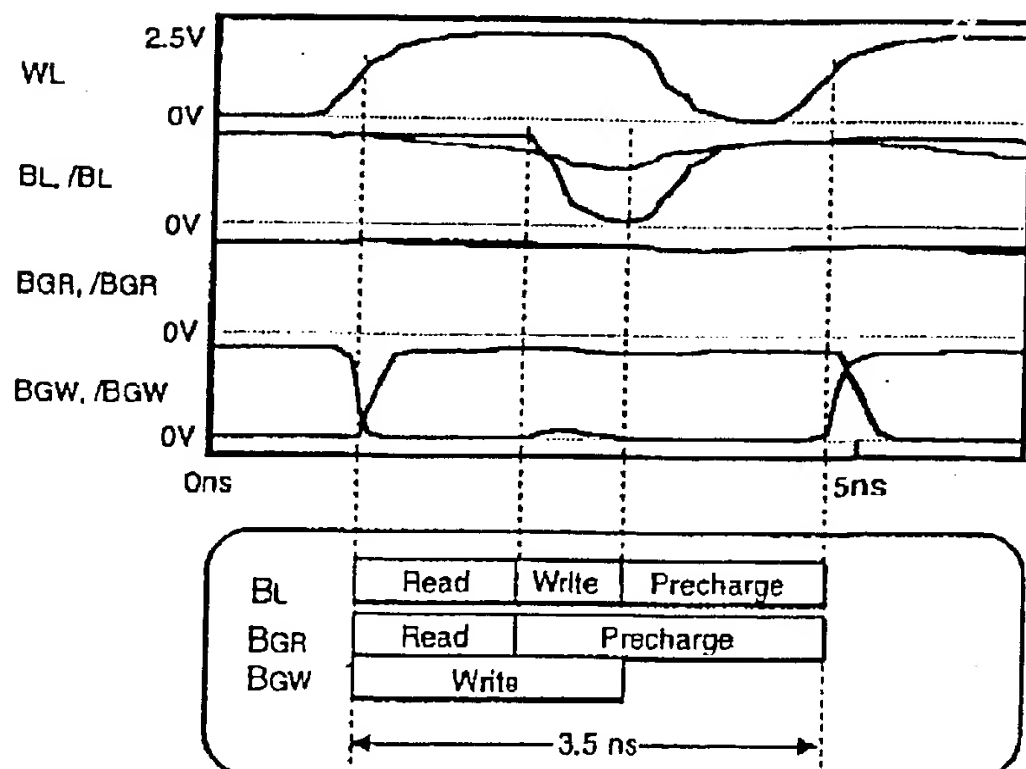


図 2 1

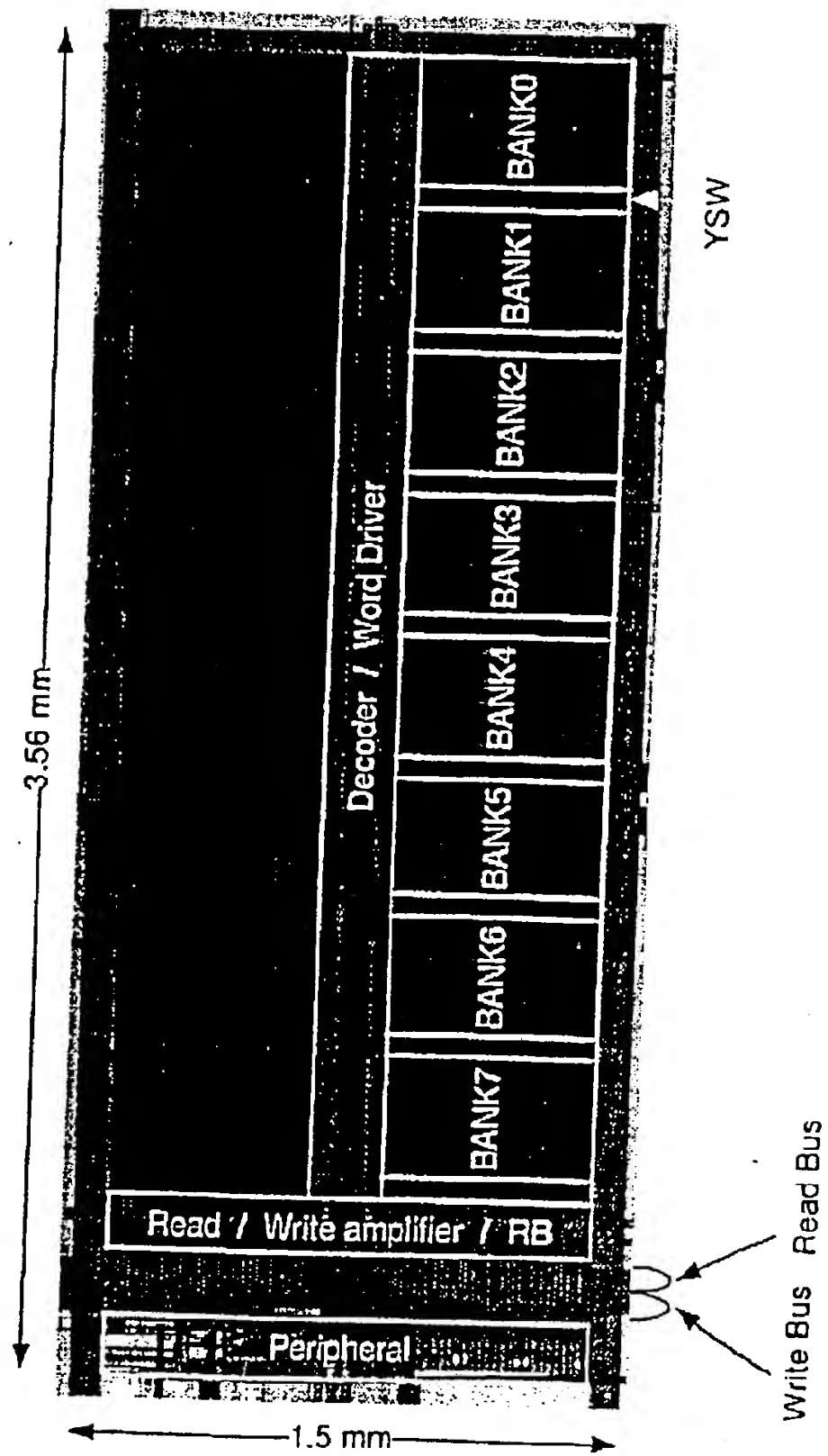


图 2 2

